Michael Roth

MIKROPROZESSOREN

Wesen - Technologie - Weiterentwicklung

Aufbau - Programmierung - Anwendung

KDT-Hochschulsektion

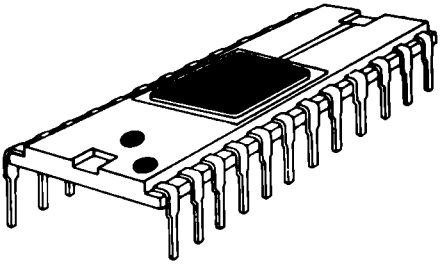
Wissenschaftliche Zeitschrift

Technische Hochschule Ilmenau

Michael Roth

Mikroprozessoren

Wesen - Technologie - Weiterentwicklung
Aufbau - Programmierung - Anwendung



Vorwort

Mikroprozessoren bieten als hochintegrierte Rechner-Zentraleinheiten die Möglichkeit zu einer neuen Qualität der Informationsverarbeitung in einer außerordentlichen Vielzahl von Geräten, Maschinen und Anlagen der Produktion und der Konsumtion.

Die Leistungsfähigkeit dieser Erzeugnisse, ihre Gebrauchswerte, Qualität, Zuverlässigkeit und moralische Lebensdauer werden in immer stärkerem Maße durch das Niveau ihrer Informationsverarbeitung bestimmt.

Die Mikroelektronik stellt mit ihrem leistungsfähigsten Erzeugnis, dem Mikroprozessor, der Volkswirtschaft ein wesentliches technisches Mittel bereit, hochanspruchsvolle Aufgaben zu erfüllen. Der Entwicklungsingenieur erhält damit ein faszinierendes Bauelement in die Hand. Es gestattet ihm, alte Lösungen wesentlich zu verbessern und vor allem neue Gebrauchswerte zu finden.

Für die Hilfe beim kurzfristigen Erarbeiten der vorliegenden Schrift möchte ich Prof. M. Kahle, Vorsitzender der KDT-Hochschulsektion, und Prof. W. Liebich, Leiter des Fachbereiches Informationsverarbeitung der Sektion TBK, meinen herzlichen Dank aussprechen.

Ilmenau 1977

Doz. Dr.-Ing. M. Roth

VEB RFT Meßelektronik Dresden
Entwicklungsstelle Leipzig
7027 Leipzig
Untere Eichstädtstr. 12-14

Zur zweiten Auflage

Die Fortschritte der Mikroelektronik international und in der DDR gestatten immer mehr eine erfolgreiche Nutzung dieser Technik. Es ist das Anliegen der erweiterten zweiten Auflage, dem entsprechend gewachsenen Informationsbedürfnis sowohl zur DDR-Technik als auch zu internationalen Mikroprozessor-Systemen zu entsprechen.

Ilmenau, 1978

Doz. Dr.-Ing. M. Roth

Dritte Auflage

Die vorliegende dritte Auflage ist mit Ausnahme der Korrekturen gegenüber der zweiten Auflage unverändert.

Ilmenau, 1978

Prof. Dr.-Ing. M. Roth

Mikroprozessoren

Wesen - Technologie - Weiterentwicklung -
Aufbau - Programmierung - Anwendung

Inhaltsangaben

0.	Einleitung	7
1.	Technologie und Entwicklungstendenzen elektronischer Schaltkreise	10
1.1.	Schaltkreis-Fertigungsprozeß	10
1.1.1.	Klassischer Herstellungsprozeß mikroelektronischer Schaltkreise	10
1.1.2.	Weiterentwicklung der Fertigungsverfahren	12
1.2.	Schaltungstechnische Elemente mikroelektronischer Schaltkreise	14
1.2.1.	TTL-Schaltkreise	14
1.2.2.	PMOS-Schaltkreise	16
1.2.3.	NMOS-Schaltkreise	16
1.2.4.	CMOS-Schaltkreise	17
1.2.5.	ECL-Schaltkreise	18
1.2.6.	FAMOS-Speicherzelle	19
1.2.7.	MNOS-Speicherzelle	20
1.2.8.	Dynamische MOS-Speicherzelle	20
1.2.9.	CCD-Speicherzelle	21
1.2.10.	I^2L-Schaltkreistechnik	21
1.2.11.	Vergleich der wichtigsten Schaltkreistechniken	23
1.3.	Entwicklungstendenzen und Grenzen der Si-Halbleitertechnik	23
1.3.1.	Entwicklung des Integrationsgrades im Prognosezeitraum bis 1985/90	25
1.3.2.	Perspektivische Entwicklungstendenzen der Si-Halbleitertechnik und ihre Grenzen	27
1.4.	Wertung der Mikroelektronik	30

2.	Aufbau und Funktion mikroelektronischer Schaltkreise	32
2.1.	Mikroprozessoren	33
2.1.1.	Mikroprozessor FW Erfurt U808D	34
2.1.2.	Mikroprozessor Intel 8080	56
2.1.3.	Mikroprozessor Motorola 6800	58
2.1.4.	Mikroprozessor Intel 8085	61
2.1.5.	Mikroprozessor Zilog Z 80	63
2.1.6.	Mikroprozessor Zilog Z 8	75
2.1.7.	Datenvergleich von Mikroprozessoren	84
2.2.	Mikroprozessor-Speicher	86
2.2.1.	ROM's	86
2.2.2.	RAM's	89
2.3.	Mikroprozessor-E/A-Schaltkreise	94
2.3.1.	DMA	94
2.3.2.	USART, SIO	94
2.3.3.	PPI, PIO	96
2.3.4.	CTC	97
2.3.5.	ADC, DAC	97
3.	Modulares Mikrorechnersystem K 1510	104
3.1.	ZVE - zentrale Verarbeitungseinheit	104
3.2.	ZVZ, ZVE-Zusatzeinheit	107
3.3.	PFS - Festwertspeicher	107
3.4.	OPS - Lese-Schreibspeicher	107
3.5.	Anschlußsteuerungen	107
3.6.	STM - Stromversorgung	108
3.7.	Eingabe-, Bedien- und Anzeige-Einheiten	110
3.8.	Programme zum Mikrorechnersystem K 1510	110
4.	Modulares Mikrorechner-System K 1520	113
4.1.	ZRE - Zentrale Recheneinheit	113
4.2.	OPS - Operativ-Speicher	113
4.3.	PFS - Festwertspeicher	114
4.4.	OFS - Operativ-Festwert-Speicher	114
4.5.	BVE - Busverstärker	114

4.6.	ADA - Anschlußsteuerung	114
4.7.	BDE - Bedieneinheit	115
5.	Entwicklungsmethodik von Mikroprozessor-Geräten	117
5.1.	Mikroprozessor-Programmiersprachen	118
5.2.	Assemblieren von Quellprogrammen	118
5.3.	Simulation von Mikroprozessor-Programmen	119
5.4.	Compilieren von Mikroprozessor-Programmen	120
5.5.	Ablauf der Mikroprozessor-Programmierung mit Hilfe eines Wirtsrechners	120
5.6.	Mikroprozessor-Geräteentwicklung mit Hilfe eines Mikrorechner-Entwicklungssystems	121
6.	Anwendung von Mikroprozessoren zur Automatisierung von Prozeßabläufen	125
6.1.	Allgemeine Mikroprozessor-Anwendungen	125
6.2.	Mikroprozessor-Prozeß-Kopplung zur analogen Informationsverarbeitung	128
6.3.	Entwicklungstendenzen automatisierter Prozesse	132
7.	Mikrorechner-Termini der englischen, russischen und deutschen Sprache	134
8.	Erklärungen von Begriffen der Mikrorechentechnik	140
9.	Literaturverzeichnis	148

Mikroprozessoren

0. Einleitung

Das "intellektuelle" Leistungsvermögen der meisten technischen Prozesse unserer Zeit befindet sich in einem gravierenden Widerspruch zu ihrer mechanischen und energetischen Produktivität. Trotz der stürmischen Entwicklung der technischen Kybernetik mit ihren tragenden Begriffen - messen, steuern, regeln, stellen, registrieren, rechnen, bilanzieren, optimieren, adaptieren und lernen - ist der Anteil der Informationsverarbeitung in technischen Prozessen im Vergleich zu organischen Prozessen sehr gering. Die klassische Automatisierungstechnik beschränkte sich auf wenige Hauptprozesse, da ihre Kosten einen massenhaften Einsatz nicht zuließen. Zudem führten komplexe Automatisierungsaufgaben zu Einrichtungen mit Anlagencharakter von beachtlichen räumlichen und energetischen Dimensionen.

Die Erfindung der Dampfmaschine 1769 durch James Watt kann als Meilenstein der ersten industriellen Revolution bezeichnet werden. Mit ihr zog die technische Energie grundsätzlich in die mechanischen Prozesse ein. Aber diese Energiequelle (Energiewandlung) führte noch nicht zum massenhaften Einsatz der technischen Energie - ihr spezifischer Charakter ließ es nicht zu. Erst mit der Erfindung des elektrodynamischen Prinzips hundert Jahre später, 1866, durch Siemens, wurde mit dem Elektromotor ein Durchbruch erreicht, der die gesamte Technik umfaßte. Der Elektromotor löste die Dampfmaschine nicht nur ab, sondern stimulierte die Schaffung völlig neuer Gebrauchswerte in allen Bereichen der Wirtschaft. In unterschiedlichsten Ausführungsformen ist der Elektromotor heute Bestandteil mannigfaltigster Erzeugnisse. So werden in einem Haushalt gegenwärtig ca. 5 bis 15 Motore verwendet.
Mit den klassischen Automatisierungsmitteln, den analogen Regel-, Steuer-, Überwachungseinrichtungen und den digitalen Prozeßrechnern hat die technische Information ebenfalls Einzug in die tech-

nischen Prozesse gehalten. Sie wurde damit wesentlicher Bestandteil der zweiten industriellen Revolution, der wissenschaftlich-technischen Revolution.

Ein umfassender Durchbruch in der Anwendung der Informationsverarbeitung wird jedoch erst möglich, wenn eine breite Anpaßfähigkeit, ökonomisch, energetisch und mechanisch gegeben ist. Diese entscheidende Voraussetzung wird von der Informationsverarbeitung auf mikroelektronischer Basis voll erfüllt. Die Mikroelektronik wird damit zu "einer der grundlegenden Seiten der wissenschaftlich-technischen Revolution" /1/. Sie ermöglicht nicht nur eine Gebrauchswertsteigerung bekannter Erzeugnisse, sondern ganz besonders eine außerordentlich breite Gebrauchswertschöpfung. Mit der Mikroelektronik ist es möglich, neuartige Geräte zu schaffen, in denen stoffliche, energetische und informationelle Prozesse als optimale Einheit gestaltet sind, Geräte einer völlig neuen Qualität. Da sie in erheblichem Maße Denkprozesse des Menschen übernehmen können, werden sie nicht unberechtigt mit dem anspruchsvollen Attribut "intelligent" charakterisiert.

Die Fundamente für die überdurchschnittlich wachsende Leistungsfähigkeit der hoch- und ultrahochintegrierten Schaltkreistechnik der Gegenwart wurden allgemein mit der Herausbildung der Halbleitertechnik Anfang der Fünfziger Jahre und der digitalen Rechentechnik Mitte der Vierziger Jahre gelegt. Die seit 1961 bekannte Silizium-Transistortechnik ermöglichte eine rasch anwachsende Schaltungsintegration, so daß es über einfache und mittelintegrierte Schaltkreise 1971 gelang, eine komplette zentrale Verarbeitungseinheit eines Digitalrechners als hochintegrierten Schaltkreis zu realisieren. Damit wurde eine weltweite Auseinandersetzung zur vorrangigen Weiterentwicklung der Mikroelektronik ausgelöst.

Nach bisherigem Erkenntnisstand wird die Silizium-Halbleitertechnik für mindestens 20 Jahre eine gesicherte, technologisch immer besser beherrschte Methode der Schaltungsintegration sein. Sie wird nach prognostischen Einschätzungen die Leistungsfähigkeit von ca. 25 000 unterschiedlichen Erzeugnissen bestimmen und zu-

gleich Maßstab des wissenschaftlich-technischen Fortschritts unterschiedlichster Wirtschaftszweige werden. Die außerordentliche internationale Forschungskonzentration auf dem Gebiet der Mikroelektronik wird zu einem entsprechend überdurchschnittlichen Erkenntniszuwachs führen, so daß die entscheidenden Merkmale von Erzeugnissen durch die Anwendung der Mikroelektronik bestimmt werden:

Gebrauchswert,
moralische Lebensdauer,
Materialeinsatz,
Energieverbrauch,
Zuverlässigkeit,
Genauigkeit,
Arbeitsproduktivität ihrer Fertigung.

1. Technologie und Entwicklungstendenzen elektronischer Schaltkreise

1.1. Schaltkreis-Fertigungsprozeß

1.1.1. Klassischer Herstellungsprozeß mikroelektronischer Schaltkreise

Die technologischen Herstellungsverfahren /2/ mikroelektronischer Schaltkreise zeichnen sich international einheitlich durch etwa gleichartige Hauptschritte aus. Als Basismaterial dient Silizium:

- Reinigen des polykristallinen Siliziums in Hochfrequenz-Öfen
  - Die verbleibende Verunreinigung bestimmt als erste Komponente die Schaltkreisausbeute.

- Kristallwachstum und Erzeugen einer p- oder n-leitenden Dotierung aus einem Schmelzbad von ca. 1 200°C.
  - Das Ergebnis ist ein Silizium-Einkristallbarren von 25 ... 150 mm Durchmesser und 150 bis 400 mm Länge. Kristallversetzungen bilden die zweite Ausfallkomponente.

- Schneiden des Barrens in ca. 0,2 mm dünne Scheiben, Polieren, Läppen und Ätzen bis auf eine Rauigkeit von weniger als 0,5 µm.
  - Diese ca. 0,1 mm dicken Si-Scheiben bilden das Trägersubstrat der Schaltkreiselemente.

- Epitaxiales Aufwachsen einer einkristallinen Schicht auf der Oberfläche des Si-Kristalles bei gleichzeitigem oder nachfolgendem Passivieren mit Sauerstoff.
  - Damit entsteht eine stabile Silizium-Oxid (SiO_2)-Schicht auf dem Substrat.

- Maskierung der Oberfläche der oxydierten Si-Scheibe mit Hilfe einer photoempfindlichen Schicht und UV-Licht, das durch eine entsprechende Maske (Schablone) auf die Siliziumscheibe projiziert wird.

. Nach einem Ätzvorgang (Säure, Plasma) sind die Stellen freigelegt, an denen die Diffusion mit Fremdatomen erfolgen soll (Gravur).

- Diffusion von entsprechenden p- oder n-leitenden Fremdatomen in die gravierten Zonen (freigesetzte "Fenster").
  . Damit ist eine pn (np)-Isolationszone oder ein pn-Übergang einer Diode oder eines Transistors hergestellt.

- Wiederholung der Prozesse Maskieren, Passivieren und Diffundieren je nach Halbleitertechnologie und Kompliziertheit des Schaltkreises.

- Metallisierung der künftigen Kontaktstellen des Schaltkreises für die äußeren Anschlüsse.
  . Auf einer Si-Scheibe befinden sich nun - kollektiv gefertigt - ca. 100 bis 20 000 gleiche Einzeltransistoren oder integrierte Schaltkreise kleinerer Zahl.

- Ritzen und zerteilen der Halbleiterscheibe.
  . Je nach Ausbeute (12 ... 25%) erhält man eine entsprechende Anzahl funktionsfähiger "nackter" Halbleiter-Chips.

- Montage der Chips auf Trägermaterial (Gehäuseboden) und Kontaktieren (Bonden) der Chip-Kontaktstellen mit den Anschlußfahnen des künftigen Schaltkreises.

- Hermetische Abdichtung des Schaltkreises nach erfolgtem Wasch-, Trocknungs- und Prüfprozeß (Verkappen in Metall-, Keramik-, oder Plastgehäuse).

Die vollständige Herstellungstechnologie ist wesentlich differenzierter und komplizierter. Sie hängt in entscheidendem Maße von der gewählten Halbleitertechnologie ab.

1.1.2. Weiterentwicklung der Fertigungsverfahren (LSI)

Der Übergang von der mittelintegrierten (MSI) zur hochintegrierten (LSI) Schaltkreistechnik vollzog sich 1970 bis 1972 im wesentlichen auf der Grundlage des klassischen Halbleiter-Fertigungsverfahrens mit den darin enthaltenen charakteristischen Phasen:

- Herstellen von Si-Scheiben,
- Herstellen von Fotomasken,
- Oxydationsprozesse (SiO_2),
- Fotolithographie (Belichten, Entwickeln, Härten, Ätzen),
- Diffussionsprozesse (n-, p-Dotierung),
- Verkappen.

Die Forderung nach höheren Integrationsgraden (Funktionselementen pro Schaltkreis) wurde immer mehr durch folgende Faktoren erfüllt:

- Vergrößerung der Chipfläche eines Schaltkreises,
- Verkleinerung des Flächenbedarfes für eine Halbleiter-Grundstruktur (Linienbreite),
- Verkleinerung der notwendigen Bauelementezahl zur Realisierung eines Funktionselementes (z. B. Speicherzelle, Gatter ...).

Die Vergrößerung der Chipfläche eines Schaltkreises setzt allein eine Vergrößerung der Schaltkreisausbeute, d. h. eine entsprechende Verringerung der Fehlerdichte auf der Si-Scheibe voraus. Es ist bisher nur unzureichend gelungen, das Phänomen der Kristallfehler (Verunreinigung, Kristall-Versetzungen) zu klären. Eine willkürliche Vergrößerung der Chipfläche ist unmittelbar mit einer drastischen Senkung der Ausbeute, d. h. Erhöhung der Chipkosten verbunden. Schwerpunkte der Weiterentwicklung der Halbleiter-Fertigung hochintegrierter Schaltkreise sind:

- Elektronenstrahl-Lithographie:
  Die Verkleinerung der Halbleiter-Grundstrukturen ist unmittelbar durch das fotolithographische Verfahren begrenzt, so daß sich ein Übergang von der Licht-Foto-Lithographie zur UV-Foto-

lithographie oder zur Elektronenstrahl-Lithographie vollzieht. Raster-Elektronenstrahl-Lithographie-Verfahren gestatten dank ihres wesentlich höheren Auflösungsvermögens die Realisierung von Linienbreiten unter 0,3 µm. Darüberhinaus ist eine vollautomatische Strahlsteuerung (Positionierung und Intensität) möglich, so daß Masken zur Konturübertragung auf die Si-Scheibe in Zukunft überflüssig werden. Die notwendige Programmsteuerung des Strahls übernimmt ein Prozeßrechner.

- Ionenimplantation

Die Dotierung des Si-Halbleiterkristalls mit Fremdatomen läßt sich gegenüber dem allgemeinen Diffussionsprozeß wesentlich genauer beherrschen, wenn das Verfahren der Ionenimplantation (Einpflanzen) verwandt wird. Nach diesem Verfahren werden z. B. Phosphor- oder Borionen auf 40 bis 120 KeV beschleunigt und bei Zimmertemperatur auf den Halbleiter geschossen.
Neben der genauen Dotierung (Selbstjustieren) des Halbleiters wird mit diesem Verfahren eine Verschiebung der Schwellspannung (U_T) von MOS-Schaltkreisen erreicht, wodurch eine volle Kompatibilität sowohl der n-Kanal-, als auch der p-Kanal-MOS-Schaltkreise zu Bipolarschaltkreisen erreicht wird. Die meisten Mikroprozessor-Schaltkreise in MOS-Technik sind ionenimplantiert.

- Polykristallines Si-Gate (SGT, silicon gate techn.)

Während man bei mittelintegrierten MOS-Schaltkreisen das Gate (Steuerelektrode) aus Metall (Al) herstellt, wird bei hochintegrierten MOS-Schaltkreisen überwiegend polykristallines Silizium, das ebenfalls leitfähig ist, genutzt.
Da zu seiner Bildung aus dem Silizium-Oxyd der Kanalzone keine Maske benötigt wird (selbstjustierend), lassen sich kurze Kanalzonen realisieren. Insgesamt bringt das SGT-Verfahren folgende Vorteile:

- Verkleinerung der Bauelementeabmessungen,
- Verringerung der Schwellspannung U_T,
- Verringerung der parasitären Kapazitäten,
- Erhöhung der Bauelemente-Zuverlässigkeit.

1.2. Schaltungstechnische Elemente mikroelektronischer Schaltkreise

Hochintegrierte mikroelektronische Schaltkreise sind bisher nur auf der Basis binärdigitaler Gatter- und Speicherschaltungen realisiert. Ihre Funktion ist rein elektronisch. Ein Übergang zu hochintegrierten analogen Schaltkreisen und zur Funktionalelektronik (Optoelektronik, Mikroakustik ...) /6/ ist zukunftsträchtig, jedoch noch nicht beherrscht. Dominierend sind weit ausgebaute, hochleistungsfähige Schaltungskonzepte der MOS- und Bipolar-Siliziumtechnik (Bild 1). Ihre Möglichkeiten sind bei weitem noch nicht ausgeschöpft.

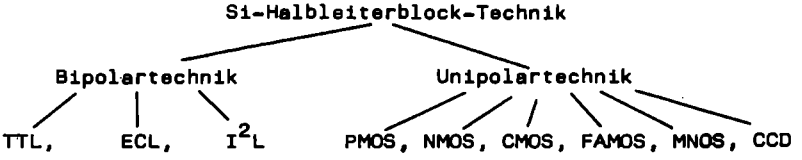


Bild 1: Wichtige Halbleiter-Schaltkreistechniken zur Schaltkreisintegration

Eine Reduktion der Anzahl der in Bild 1 angegebenen Techniken ist zu erwarten, jedoch ergeben sich so markante Unterschiede in den Gesamtschaltkreiseigenschaften, daß mehrere Konzepte dominieren werden:

Bipolar:	I^2L, TTL
Unipolar:	NMOS, CMOS, MNOS, CCD

Traditionelle Schaltkreisfamilien wie DTL, DCTL, RCTL, RTL, DZTL verlieren völlig ihre Bedeutung.

1.2.1. TTL (transistor-transistor-logic) - Schaltkreise

Transistor-Transistor-Logik-Schaltkreise /7/, /8/, bilden in der MSI (medium scale integration, Mittelintegration) mit ca. 40% Anteil die wichtigste Schaltkreisklasse. Mit ihrer Betriebs-

spannung von +5 V haben sie sich zur Schaltkreisnorm entwickelt. In MSI-Technik existiert in allen Industrieländern ein umfassendes Sortiment an Gattern, Speichern, Registern, Kodierern, Dekodierern, Zählern, Multiplexern, Treiberschaltkreisen usw. Die TTL-Technik besitzt auch künftig neben der LSI (Large scale integration, Großintegration) als Ergänzungsschaltkreise volle Bedeutung. Bild 2 a) zeigt ein 4-fach-NAND-Gatter und Bild 2 b) ein Flip-Flop als Zelle eines Matrixspeichers. Charakteristisch sind die Multiemitter-Eingänge. Liegt an einem der Eingänge "0" an, so ist der entsprechende Transistor leitend. Daraus folgen die Schaltzustände aller weiteren Transistoren. Versionen der Standard-TTL-Technik sind die leistungsarme (low power) TTL-Technik und die Hochgeschwindigkeits-TTL-Technik. Eine wesentliche Steigerung der Arbeitsgeschwindigkeit der TTL-Technik wird erreicht, wenn der Sättigungszustand der Schalttransistoren durch Schottky-Dioden verhindert wird (Schottky-TTL).

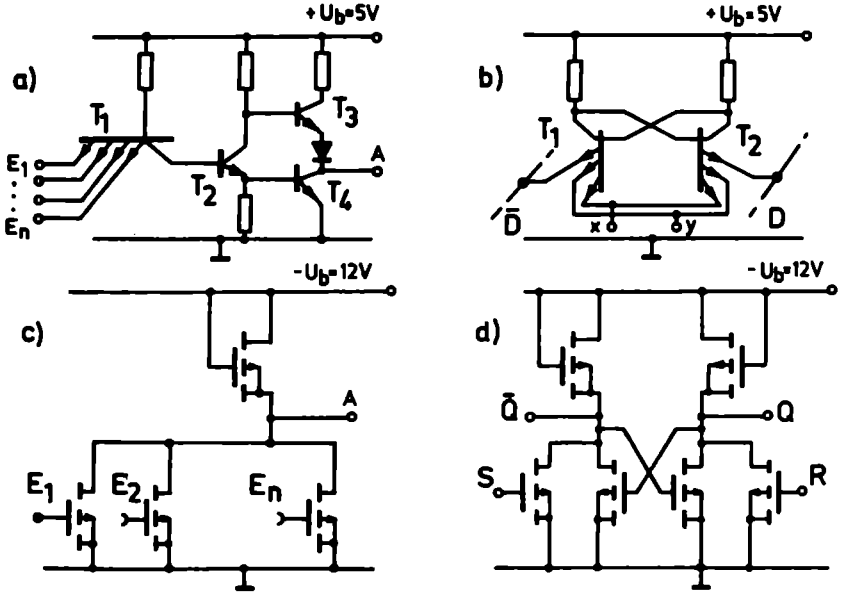


Bild 2: Klassische Bipolar- und MOS-Schaltkreiselemente

a) TTL-NAND-Gatter
b) TTL-Speicherzelle
c) PMOS-NOR-Gatter
d) PMOS-RS-Flip-Flop

1.2.2. PMOS (p-metal oxide semiconductor)- Schaltkreise

Die p-Kanal-selbstsperrende-MOS-Feldeffekt-Transistor-Technik /8/ mit hohen Betriebsspannungen von $-U_b$ bis zu 30 V ist strukturell und technologisch die einfachste Transistor-Schaltkreistechnik. Mit der großen Schwellspannung zur Öffnung des Drain-Source-Kanals von $-U_T$ = 3,5 ... 5 V besitzt sie eine hohe Störsicherheit. Der geringe Platzbedarf pro Transistorfunktion und die kleine Anzahl technologischer Schritte führten dazu, daß die ersten hochintegrierten Schaltkreise in PMOS-Technik realisiert wurden. Die Funktion des PMOS-NOR-Gatters folgt aus Bild 2 c). Liegt an einem der Eingänge E_1 ... E_n ein hinreichend negatives Signal an, so wird der entsprechende Transistor leitend, wodurch das Ausgangssignal von seinem L-Pegel ($-U_b$) auf logisch Null geht. Damit wird die NOR-Funktion realisiert.

Bild 2 d) zeigt ein RS-Flip-Flop. Nimmt der Setz-Eingang S das $-U_b$-Potential an (=L,low), so wird der angesteuerte Transistor leitend. Von seinem Drain wird dieser Nullzustand (=0) zum Nachbarn der kreuzgekoppelten Transistoren übertragen, wodurch dieser sperrt. Damit wird das Ausgangssignal Q = L gesetzt. Das Rücksetzen erfolgt gespiegelt durch R = L. Der eingespeicherte Zustand bleibt statisch erhalten, er geht jedoch verloren, wenn die Betriebsspannung ausgeschaltet wird.

Der wichtigste Nachteil der PMOS-Technik ist die relativ geringe Arbeitsgeschwindigkeit mit ca. 300 ns Schaltzeiten. Sie folgt unmittelbar aus der Löcherleitung des p-leitenden Kanals und der Hochohmigkeit selbstsperrender Transistoren.

1.2.3. NMOS (n-metal oxide semiconductor)- Schaltkreise

Ohne zusätzliche Maßnahmen führt die n-Kanal-MOS-Technik unmittelbar auf selbstleitende Transistoren, da positive Ladungen im Gate-Isolator (SiO_2) bereits ohne äußere Gatespannung einen n-Kanal influenzieren, wodurch diese Transistoren relativ niederohmig sind /13/.

Darüberhinaus führt die Elektronen-Leitfähigkeit zum schnellen Ladungsträgertransport. Für NMOS-Schaltkreise sind im allgemeinen negative Vorspannungen bereitzustellen, wenn diese entsprechend gesperrt werden sollen. In verschiedenen hochintegrierten Schaltkreisen wird die Vorspannung aus der +5 V Versorgungsspannung intern erzeugt.
Wesentlich günstiger ist jedoch das Verfahren, mit Hilfe der Ionenimplantation die Schwellspannung U_T so festzulegen, daß unmittelbar TTL-Kompatibilität entsteht. Um volle TTL-Kompatibilität zu erreichen, ist neben der notwendigen Umschaltspannung von 1,5 ... 2 V auch eine erhöhte Stromergiebigkeit der Ausgangsstufen zu garantieren. Diese Anforderungen werden von der NMOS-Transistortechnik erfüllt. Sie gehört damit zur bestimmenden Technologie bei der Herstellung hochintegrierter Schaltkreise.

1.2.4. CMOS - Schaltkreise

Mit der Komplementär-MOS-Transistor-Technik kann gesichert werden, daß der Ruhestromverbrauch der Schaltkreise unabhängig von ihrem logischen Zustand nur noch durch Restströme bestimmt ist. Wie Bild 3 a) zeigt, ist bei einem leitenden unteren Transistor (n-Kanal) stets ein oberer Transistor gesperrt (p-Kanal). Damit wird nur Strom benötigt, um im dynamischen Umschaltzustand die parasitären Kapazitäten umzuladen.

Bei Ausgangs-Signaländerungen von 0 nach $+U_b$ liefern die oberen Transistoren und von $+U_b$ nach 0 mindestens ein unterer Transistor den Umladestrom. Da stets ein Transistor leitend ist, ergeben sich kurze Umladezeiten von weniger als 100 ns. Durch den extrem geringen Leistungsbedarf der CMOS-Schaltkreise lassen sich sehr effektive Lösungen für Geräte mit Batteriebetrieb realisieren. Darüber hinaus besitzen sie auf Grund der komplementären Schaltzustände einen optimalen Störabstand, so daß sie für industrielle Einsatzfälle besonders gut geeignet sind.

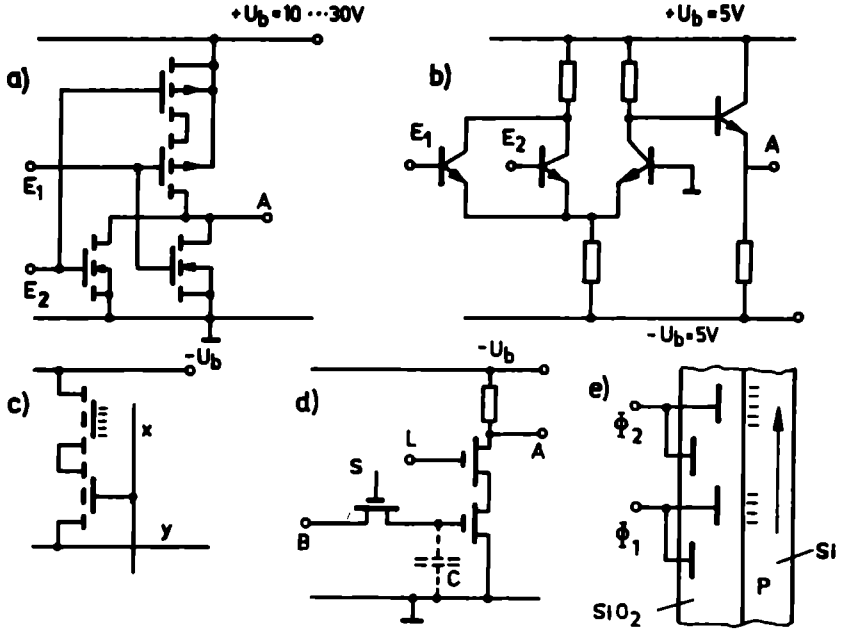


Bild 3: Spezielle Schaltkreiselemente der integrierten Technik

a) CMOS-NOR-Gatter
b) ECL-OR-Gatter
c) Floating-Gate-MOS-Speicher-Zelle
d) dynamische MOS-Speicherzelle
e) CCD-MOS-Speicherelement

1.2.5. ECL (emitter coupled transistor logic)-Schaltkreise

Während alle anderen digitalen Schaltkreistechniken die Schalttransistoren vom gesperrten in einen vollständig gesättigten Zustand umschalten, sind die Transistoren in der ECL-Technik nicht gesättigt, sondern im linearen Arbeitsbereich.

Damit wird die kürzeste Umschaltzeit der Transistortechnik überhaupt erreicht.

Bild 3 b) zeigt ein ECL-OR-Gatter. Der Emitterwiderstand zur negativen Betriebsspannung $-U_b$ bestimmt den maximalen Arbeitspunktstrom. Unabhängig von den Signalzuständen an den Eingängen E_1, E_2 ist einer der drei Transistoren mit diesem Arbeitspunktstrom leitend.

In hochintegrierten Schaltkreisen wird die ECL-Technik nur verwendet, wenn höchste Arbeitsgeschwindigkeiten erforderlich sind.

1.2.6. FAMOS-Speicherzelle (floating gate avalanche-injection MOS)

Mit dem FAMOS-Feldeffekttransistor ist eine zerstörungsfreie Speicherzelle realisierbar /8/. Die Anordnung entspricht der Schaltung nach Bild 3 c). Das Gate des oberen Transistors ist vollständig in einer isolierenden SiO_2-Schicht "schwimmend" eingebettet. Durch Überwinden der Drain-Substrat-Durchbruchspannung (Avalancheeffekt) mit Hilfe relativ großer Spannungen (-30 ... -50 V) lassen sich in einer Einschreibzeit von ca. 1 ms Ladungsträger auf das Gate transportieren.
Damit ist die Zelle programmiert.

Die Löschung des Speicherinhaltes erfolgt durch UV-Licht-Bestrahlung. Die Ladungsträger aller Speicherzellen des Schaltkreises fließen dann zum Substrat ab. Da die Ladungsspeicherung auf dem isolierten Gate betriebsspannungsunabhängig ist, bleibt der Speicherinhalt auch bei Versorgungsspannungsausfall erhalten.

Diese Speicherzelle besitzt für elektrisch programmierbare Nur-Lese-Speicher (EPROM) in der hochintegrierten Technik eine grundlegende Bedeutung. Die Speicherzeit beträgt mehrere Jahrzehnte.

1.2.7. MNOS-Speicherzelle (metal nitride oxide semiconductor)

Die Grundanordnung der MNOS-Speicherzelle entspricht der FAMOS-Schaltung nach Bild 3 c) /8/. Jedoch besitzt das Gate des oberen Transistors einen äußeren Anschluß, der es ermöglicht, auf elektrischem Wege Ladungsträger in das Dielektrikum zwischen Gate und Substrat zu bringen und wieder zu entfernen. Das Dielektrikum ist im Unterschied zum FAMOS-Transistor nicht nur ein einziger Isolator, sondern besteht aus Si_3N_4-SiO_2-Grenzschichten, die Haftstellen für eine stabile Ladungsträgerspeicherung (Tage, Monate, Jahre) besitzen. Wird eine entsprechend hohe negative Spannung an das Gate gelegt, werden diese Haftstellen positiv geladen Nach Entfernen der Gatespannung bleiben die positiven Ladungen haften, womit die Zelle programmiert ist.

Ein Betriebsspannungsausfall kann auch hier den Speicherzustand nicht ändern. Der Umspeicherzustand ist ca. eine Million mal wiederholbar. Danach treten Ermüdungserscheinungen auf. Für die hochintegrierte Schaltungstechnik, insbesondere in der Automatisierungstechnik, ist die MNOS-Speicherzelle eine praktisch unentbehrliche Lösung zur Programm- und Datensicherung.

1.2.8. Dynamische MOS-Speicherzelle

Für die Speicherung mittlerer Datenmengen bei kurzen Zugriffszeiten sind Speicherzellen mit geringem schaltungstechnischen Aufwand notwendig. Bild 3 d) zeigt eine 3-Transistor-dynamische-Speicherzelle mit MOS-Transistoren. Mit einem Impuls an der Schreibelektrode S wird der Zustand der Bit-Leitung B in den Kondensator C gespeichert. Durch einen Impuls auf der Leseleitung L wird der Speicherzustand des Kondensators gelesen. Da die Speicherfähigkeit des Kondensators (ca. 1 pF) nur gering ist, muß die Kondensatorladung periodisch aufgefrischt werden (nach 1 ms). Das geschieht durch Auffrischverstärker, die die gespeicherte Information des Ausganges A messen, verstärken und in B wieder eingeben.

Die einfachste dynamische Speicherzelle besteht aus einem einzigen MOS-Transistor. Der Gesamtspeicherablauf erfordert eine zwei- oder vier-Phasen-Steuerung zum Informationstransport.

1.2.9. CCD-Speicherzelle (charche coupled devices)

Die ladungsgekoppelte Speicherzelle nutzt die Möglichkeit, an Halbleiter-Oberflächen (z. B. p-dotiertes Silizium) Ladungsträger kurzzeitig zu speichern /8/, /10/. Zwischen nacheinander angeordneten Gate-Elektroden und dem Halbleiter befindet sich der Isolator SiO_2 (Bild 3 e). Werden an die Gate-Elektroden Potentiale unterschiedlicher Amplitude gelegt, so bestimmen drei Potentiale die Transportrichtung der Ladungsträger. In der Anordnung nach Bild 3 e) werden Zwei-Phasensignale angelegt, wobei eine weitere Potentialstufung durch die unterschiedliche Anordnung der Elektroden erzeugt wird.

CCD-Elemente besitzen einen Aufbau mit sehr kleinen Abmessungen, so daß Datenspeicher mit der größten Speicherkapazität auf Halbleiterbasis erzeugt werden können. Ihnen wird in der Datenverarbeitungstechnik ein breiter Einsatz zugerechnet.

1.2.10. I^2L-Schaltkreistechnik (integrated injection logik)

Nach dem beträchtlichen Vorsprung, den die PMOS und NMOS-Technik in der hochintegrierten Schaltungstechnik erreicht hatte, gelang es mit der I^2L-Technik /9/ auf der Basis von Bipolartransistoren, bemerkenswert einfache und unterschiedlichen Belangen anpaßfähige schaltungstechnische Lösungen zu finden.

Bild 4 a) zeigt das logische Grundelement mit einem pnp-Lateral-Transistor als Ladungsträgerinjektor der Basis des Multikollektor-Transistors. Damit ist dieser bei offenem Eingang (E ≙ L) mit allen seinen Kollektoren in Sättigung. Erst wenn der Injektionsstrom I_c durch einen vorhergehenden Schaltkreis übernommen wird, geht er in den Sperrzustand.

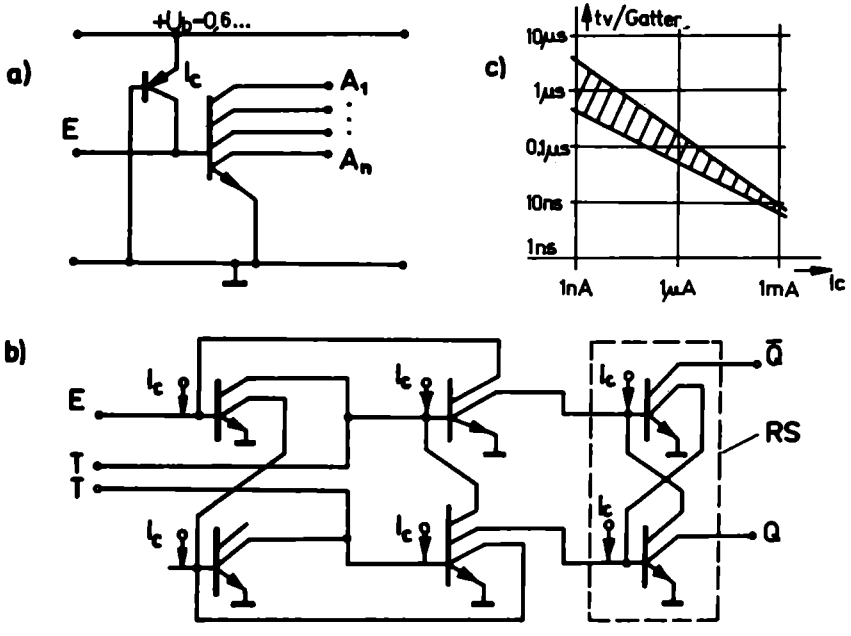


Bild 4: I^2L-Schaltkreistechnik
a) I^2L-OR-Gatter
b) I^2L-Master-Slave-Flip-Flop
c) Schaltverzögerung t_v als Funktion des Injektionsstromes I_c

Im Gegensatz zu allen bisherigen Schaltkreisfamilien erfolgt die logische Verknüpfung nicht am Eingang, sondern am Ausgang des Schaltkreises. Diese Verfahrensweise entspricht dem Leitungs-ODER (Wire OR) von Schaltkreisen mit offenem Kollektor. Die Zusammenschaltungsart ist am Master-Slave-Flip-Flop, Bild 4 b) gezeigt. Am Ausgang dieses Flip-Flops ist eine RS-Zelle besonders hervorgehoben. Ein wesentlicher Vorteil der I^2L-Technik besteht in der in weiten Grenzen anpaßfähigen Veränderung des Kollektorstromes I_c und die sich daraus ergebende Gatter-

verzögerungszeit t_v (Bild 4 c).

Die logischen Schaltpegel sind durch den Basis-Emitter-pn-Übergang des npn-Multikollektor-Transistors auf 0,5 ... 0,7 V festgelegt. Die hohe Packungsdichte und der geringe Energiebedarf einerseits, die hohe Arbeitsgeschwindigkeit gegenüber der MOS-Technik andererseits prädestinieren diese Schaltkreistechnik zur universellsten hochintegrierten Schaltungstechnik.

1.2.11. Vergleich der wichtigsten Schaltkreistechniken

Im Bild 5 ist ein Vergleich der Leistungsfähigkeit wichtiger Schaltkreistechniken gegeben. Die Einordnung erfolgte nach den für die hochintegrierte Schaltungstechnik wichtigsten Kenngrößen: Bauelementezahl pro Chip und die Gatter-Schaltverzögerung t_v. Dabei wird der universelle Charakter der I^2L-Technik deutlich.

Ein Zahlenvergleich typischer Parameter der Schaltkreisfunktion und -technologie /11/ veranschaulicht die Vorteile der I^2L-Technik (Bild 6).

1.3. Entwicklungstendenzen und Grenzen der Si-Halbleitertechnik

Auf die Weiterentwicklung der integrierten Schaltungstechnik wirken zur Zeit zahlreiche stimulierende Faktoren:

- hoher Stand des bereits erreichten technologischen Niveaus der Si-Halbleitertechnik,
- große Investitionen auf dem Gebiet der Halbleiter-Fertigungstechnik und Halbleiter-Prüftechnik,
- hochqualifiziertes Arbeitskräftepotential,
- weitgehende Rohstoffunabhängigkeit der Halbleiterfertigung

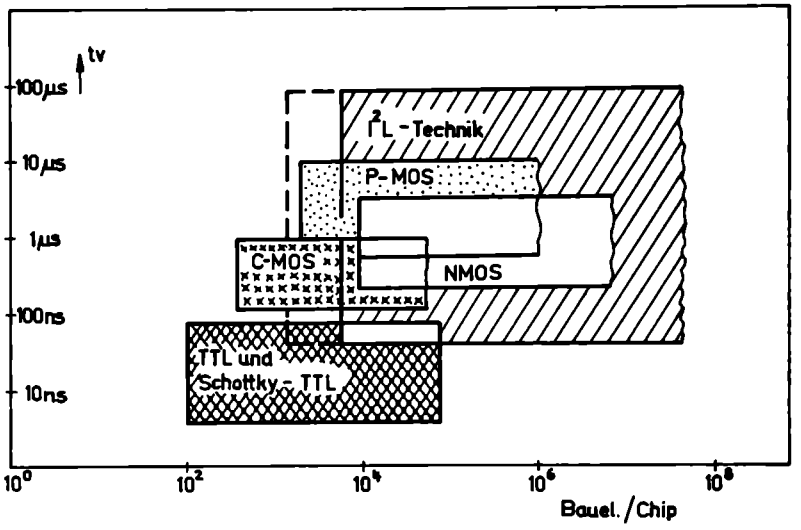


Bild 5: Gatter-Schaltverzögerung t_v in Zuordnung zur Bauelementezahl pro Chip hochintegrierter Schaltkreise

NAND 4-fach	Einheit	TTL	CMOS	PMOS	NMOS	I^2L
Fläche	$10^{-3}mm^2$	34	32	7	4	3
Masken		7	6	4	7	4
Verlust-leistung	mW	2	0,1	0,2	0,2	0,07
Schaltver-zögerung	ns	10	25	1000	10	50

Bild 6: Vergleich typischer Parameter aktueller Halbleitertechnologien /11/

- große Erwartungen in der weiteren erfolgreichen Beherrschbarkeit der Si-Halbleitertechnik,

- beachtliches Erkenntnispotential in der theoretischen Erforschung der Halbleiterphysik und Halbleitertechnologie,

- große Erwartungen in den volkswirtschaftlichen Effekten der Informationsverarbeitung auf der Basis hochintegrierter Schaltkreise für eine sehr große Zahl von Erzeugnissen.

Diese Faktoren bewirken eine weltweite Konzentration der theoretischen, technischen und technologischen Forschung auf dem Gebiet der Mikroelektronik.

1.3.1. Entwicklung des Integrationsgrades im Prognosezeitraum bis 1985/90

Der Integrationsgrad eines integrierten Schaltkreises wird durch die Anzahl der Transistorfunktionen je Chip bestimmt /5/. Er ist damit durch drei entscheidende Faktoren festgelegt:

- Fläche A des Halbleiterchips,
- Flächenbedarf je Bauelement,
- Anzahl der Bauelemente, die zu einer vollständigen Transistorfunktion benötigt werden.

Durch eine systematische Erhöhung der Güte (Reinheitsgrad, Versetzungsfreiheit) des Siliziums und der technologischen Beherrschung des Fertigungsprozesses wird die Anzahl der Fehlstellen auf der Siliziumscheibe wesentlich gesenkt. Zur Zeit gebräuchliche Siliziumscheiben haben Durchmesser von 36 ... 100 mm (Fertigung), 120 ... 150 mm (Labor). Das entspricht Gesamtflächen von ca. 4 000 bis 70 000 mm^2. Die optimale Chipfläche folgt aus den Kosten für das Silizium, den Scheibenprozeß und die Montage /14/. Insbesondere die Ausbeute steht der Ausnutzung der gesamten Scheibenfläche durch ein einziges Chip im Wege. Die prognostizierte Entwicklung der Chipfläche A ist im Bild 7 gezeigt /12/.

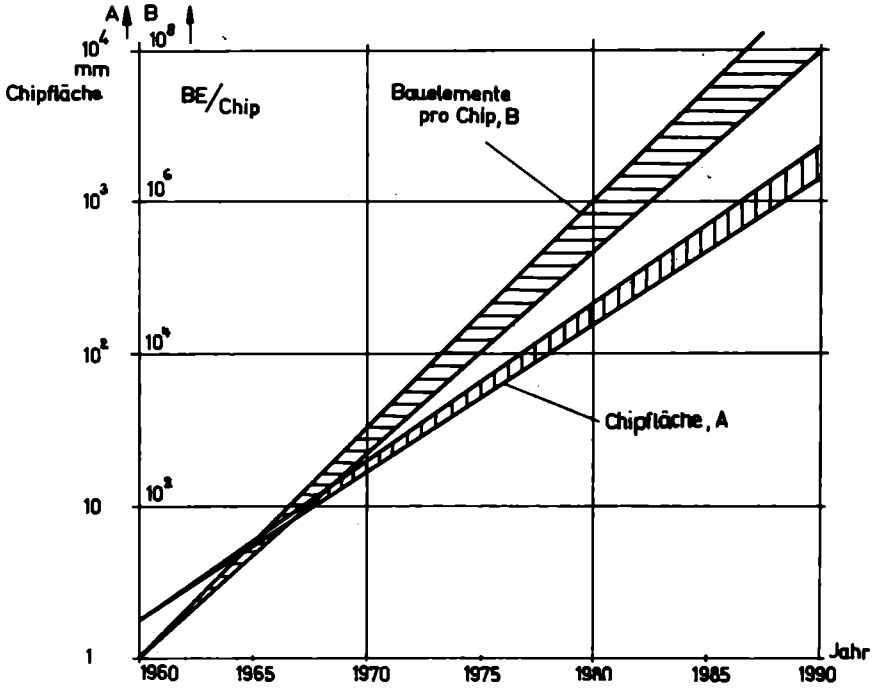


Bild 7: Chipfläche A und Bauelementezahl B pro Chip im Prognosezeitraum 1985/90 /12/

Die Vergrößerung der Anzahl der Bauelemente pro Chip (Bild 7) folgt dem Anliegen, komplexe Funktionen wie Speicher und Rechner in einem einzigen Schaltkreis unterzubringen. Damit wird der Gebrauchswert des Schaltkreises qualitativ gesteigert, Montagekosten werden verringert und die Zuverlässigkeit hochkomplizierter Schaltungen systematisch gesteigert. Der höchste Integrationsgrad ist zur Zeit mit 90 000 Transistorfunktionen in einem CCD-Speicher erreicht /6/. Aus Bild 7 folgt, daß um 1980 die für die Schaltungstechnik außerordentlich große Zahl von 1 Mio Bauelementen pro Chip möglich wird und für 1990 die 100 Mio-Grenze überschritten werden kann.

Für die Speichertechnik ohne kritische Zugriffszeiten ist eine solche Zahl von Bauelementen nicht übermäßig groß, da die Datenverarbeitung mit Magnetband oder Magnetplattenspeichern über eine Mrd Bit pro Speichereinrichtung verfügt. Der qualitative Unterschied besteht jedoch darin, daß diese Bauelementekapazität im Vergleich zu den genannten Speichermedien in außerordentlich freizügiger Weise strukturiert werden kann.

Damit ist die Anwendbarkeit von Schaltkreisen mit über 100 Mio Bauelementen pro Chip ein neues, grundsätzliches Gebrauchswertproblem. Die Nutzung als Daten- und Programmspeicher kann als gesichert angesehen werden. Die Nutzung als produktive informationsverarbeitende Elemente gestattet jedoch die Schöpfung völlig neuer Gebrauchswerte von außerordentlich hoher Qualität. Hier liegt das entscheidende Feld der Möglichkeiten der Mikroelektronik. Bild 8 zeigt das international realisierte und prognostizierte Angebot hochintegrierter Speicherschaltkreise /16/. Danach stehen 1985 Schaltkreise mit 1 Mega-Bit Speicherkapazität zur Verfügung.

Die im Bild 8 angegebene Schaltkreisentwicklung nutzt bereits die Ablösung der Fotolithographie durch die Elektronenstrahllithographie und die Ablösung der klassischen Diffusionstechnik durch Ionenimplantation.

1.3.2. Perspektivische Entwicklungstendenzen der Si-Halbleitertechnik und ihre Grenzen

Für die technologisch wahrscheinliche Ausschöpfung der Möglichkeiten der Silizium-Halbleiterblocktechnik in den wichtigsten Parametern und Leistungskenngrößen ist es notwendig, einen perspektivischen Zeitraum bis zu den Jahren 2000/2010 zu betrachten. Eine grundlegende Ablösung der bisherigen Halbleitertechnik ist nicht zu erwarten, da der halbleitertechnologische Vorlauf die derzeitigen Strukturvorstellungen der Anwender wesentlich übersteigt /4/, /6/. Nach /5/ wird die sinnvolle maximale Chipfläche A etwa im Jahre 2005 mit 100cm^2 erreicht (Bild 9).

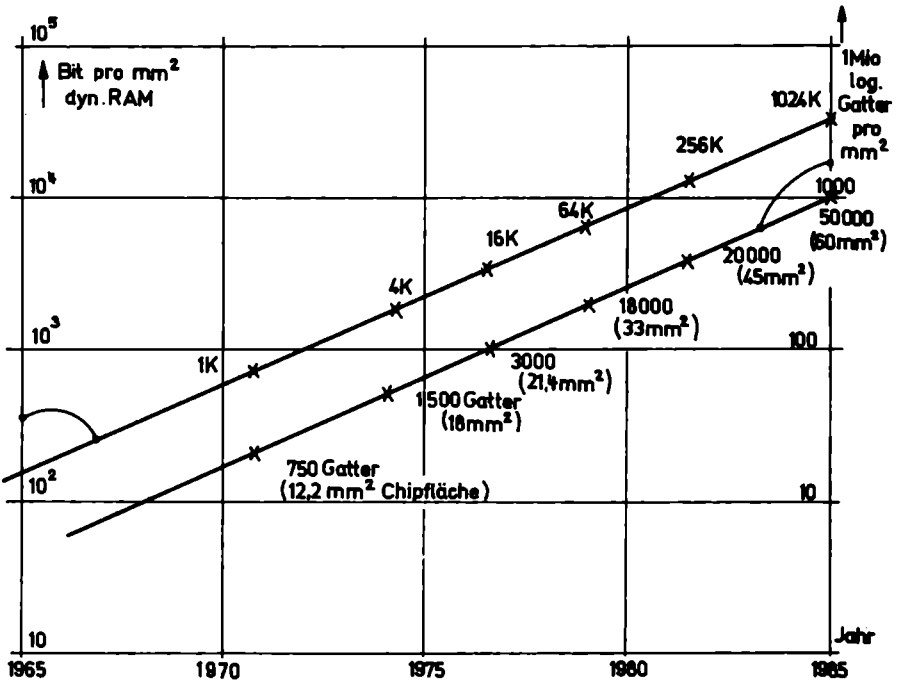


Bild 8: Entwicklung der Speicherkapazität dyn. Speicherschaltkreise im Prognosezeitraum bis 1985 /16/

Damit würde z. B. eine existierende Silizium-Scheibe von 36 mm Durchmesser als runde Ein-Chip-Scheibe unzerteilt verwendet. Um bei einer einnvollen Scheibenausbeute von 10% zu bleiben, müßte jede 10. Scheibe fehlerfrei arbeiten, wobei der derzeit übliche nichtredundante Schaltungsentwurf zugrundegelegt wird.

Bei der Einschätzung der minimalen Strukturabmessungen muß eine Vielzahl von Einflußfaktoren erfaßt werden, so daß sich je nach Halbleitertechnologie, Schaltungstechnik und Fertigungstechnologie unterschiedliche Grenzen ergeben /5/, /6/ (Bild 9).

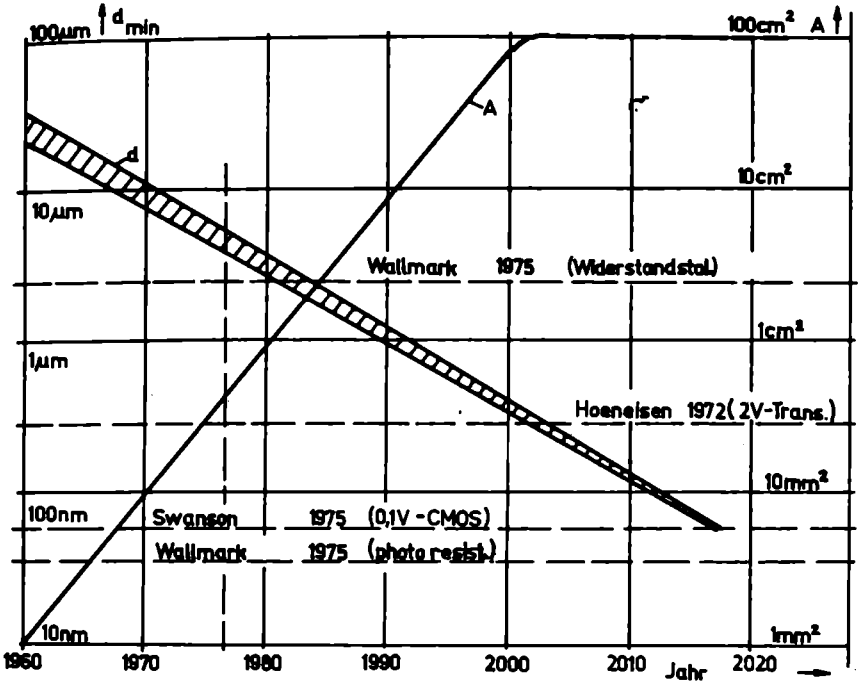


Bild 9: Entwicklung der Chipfläche A und der minimalen Strichbreite d bei hochintegrierten Schaltkreisen /5/

Bis zum Jahre 1980 gelten Strichbreiten von 1 µm als technologisch beherrschbar, da sie labormäßig bereits realisiert sind. Die Fertigung kleinerer Strichbreiten als 1 µm ist mit Hilfe der Raster-Elektronenstrahl-Mikroskopie und der Ablösung materieller Masken grundsätzlich möglich, da der Elektronenstrahl mit einem Durchmesser von 0,2 nm gegenüber der Wellenlänge des Lichtes ein hinreichendes Auflösungsvermögen besitzt /16/. Die elektronisch bedingte kleinste Strichbreite wird in /17/, /18/ mit 50 und 30 nm angegeben. Jedoch kann sie nicht vor dem Jahre 2010 erreicht werden. Nach /6/ erscheinen Strichbreiten von 0,1 µm mit Hilfe der Elektronenstrahl-Lithographie bereits nach 1980 als realisierbar.

In Bild 10 ist der Stand der Technik 1976 (Spitzenleistungen) mit den elektronisch-technologischen Grenzen in Vergleich gesetzt /3/. Die minimale Größe von Einzeltransistoren und die maximale Integrationsdichte orientieren sich an klassischen Schaltungskonzepten der binären digitalen Schaltkreistechnik (Transistor- und Gatterfunktionen).

Merkmale	Stand der Technik 1976	techn. Grenzen
minimale Größe von Einzeltransistoren	1 000 μm^2	1 μm^2
maximale Integrationsdichte	10^4 Gatter/cm^2	$2{,}5 \cdot 10^7$ Gatter/cm^2
minimale Schaltzeit - absolute Laufzeit -	0,2 ns	1 ps
minimale Schaltzeit - thermisch begrenzt -	1 ns	10 ps
max. Taktfrequenz - synchr. NW -	30 MHz	3 GHz
min. Verzögerungszeit-Leistungsprodukt	10^{-12} Ws	10^{-15} Ws
min. Speicher-Zugriffszeit 10^4 bit	10 ns	0,1 ns

Bild 10: Vergleich wichtiger Kenngrößen integrierter Schaltkreise /3/

1.4. Wertung der Mikroelektronik

Die überragende Leistungsfähigkeit der Si-Halbleitertechnik und -Fertigungstechnologie liegt in folgenden Hauptmerkmalen /4/, /5/, /6/:

- Kollektiver Fertigungsprozeß einer außerordentlichen Anzahl von Funktionselementen.
  - Daraus folgt die hohe Ökonomie des Fertigungsprozesses und die damit ermöglichte Preisdegression dieser Technik.

- Extrem elegante Verknüpfbarkeit (Programmierbarkeit) der einzelnen Funktionselemente zu Gesamtfunktionen.
  - Diese Eigenschaft der elektronischen Schaltkreiselemente gestattet eine mit anderen Techniken unvergleichliche Flexibilität der Funktionsanpassung an nahezu beliebige Aufgabenklassen.

- Hoher und ultrahoher Integrationsgrad von Einzelelementen zu einem einzigen komplexen Funktionselement.
  - Das ermöglicht es, nahezu beliebig komplizierte Strukturen der informationsverarbeitenden Technik in einem geschlossenen Fertigungsprozeß herzustellen.

- Hohe Lebensdauer und Verschleißfreiheit der technischen Grundelemente.
  - Das ist die entscheidende Grundlage der hohen Zuverlässigkeit und der Wartungsfreiheit, die für hochkomplexe Systeme gefordert werden muß.

- Extrem geringer Energiebedarf des Einzelelementes.
  - Die Reduktion des Energiebedarfes pro Schaltkreiselement ist eine wesentliche Realisierungsvoraussetzung für hochkomplexe informationsverarbeitende Geräte.

- Maximale Arbeitsgeschwindigkeit.
  - Integrationsgrad und Arbeitsgeschwindigkeit der Elemente bestimmen die Zugriffszeiten und damit den Datendurchsatz, d. h. die Leistungsfähigkeit der technischen Geräte.

Mit diesen Eigenschaften erweist sich die Mikroelektronik als prädestinierte Technik zur Informationsverarbeitung in nahezu beliebigen Prozessen.

2. Aufbau und Funktion mikroelektronischer Schaltkreise

Den entscheidenden Durchbruch erreichte die hochintegrierte Schaltkreistechnik mit der Entwicklung des ersten Mikroprozessor-Systems MCS 8 /26/ im Jahre 1971, bestehend aus einer Ein-Chip-zentralen Verarbeitungseinheit (CPU, central processor unit) nach dem Vorbild des Prozeßrechners PDP 8, Programmspeichern (ROM, read only memory, Nur-Lese-Speicher) und Datenspeichern (RAM, random access memory, Speicher mit wahlfreiem Zugriff) als Lese-Schreibspeicher.

Im Unterschied zu den integrierten Handrechnern, die im allgemeinen nur ein festgelegtes Repertoire an arithmetischen Rechenfunktionen beinhalten , gestattet der Mikroprozessor eine freizügige Programmierung für unterschiedlichste Aufgaben. Mit 48 elementaren Befehlen ermöglichte er den Aufbau beliebiger Programme, wodurch die qualitativen Merkmale der Universalität von Rechenanlagen grundsätzlich erfüllt wurden. Da der Mikroprozessor nur aus einem Schaltkreis bestand, eröffneten sich ihm spontan außerordentliche breite Einsatzmöglichkeiten. Seit 1971 vollzog sich eine rasche Weiterentwicklung der Mikroprozessortechnik.

Für den Anwender mikroelektronischer Schaltkreise ist der innere Aufbau der Funktionselemente nur so weit von Interesse, als es

- zur Funktionsbeschreibung,
- zur fehlerlosen Zusammenschaltung,
- zum Entwurf der im allgemeinen unumgänglichen Randelektronik und
- zur Erklärung elektronischer Effekte beim Geräteentwurf

notwendig ist.

Innerhalb der firmenspezifischen Schaltkreisfamilien besteht eine lückenlose Kompatibilität für die Zusammenschaltung aller Funktionselemente.

Im allgemeinen werden die Signalbedingungen der TTL-Schaltkreistechnik für alle Ein- und Ausgangspegel zugrunde gelegt. Damit wird zugleich ein breiter Obergang zu den Standard-MSI-Schaltkreisen der TTL-Technik und den dazugehörenden Koppelelementen für systemfremde elektronische Bauelemente (z. B. LED-Display, Relais usw.) gewährleistet.
Auch MOS-Schaltkreise der mittelintegrierten Technik ermöglichen immer mehr die TTL-Anschluß-Kompatibilität.

2.1. Mikroprozessoren

Der Aufbau von Mikroprozessoren ist durch ihre rechentechnische Grundstruktur bestimmt. Im allgemeinen enthält ein Mikroprozessor (CPU) mindestens die Funktionsblöcke:

- Rechenwerk = arithmethisch logische Verknüpfungseinheit
- Steuerwerk = Zeit- und Ablaufsteuerung zur Befehlsabarbeitung und
- Speicher (Register) zur Befehls-, Adressen- und Datenzwischenspeicherung.

Diese Funktionsblöcke erlauben die Abarbeitung einer festgelegten Anzahl von elementaren Befehlen (Instruktionen) in einer durch ein Programm festgelegten Reihenfolge. Zu einem Mikroprozessorsystem gehört neben der CPU eine unterschiedliche Anzahl von Ergänzungsschaltkreisen. Die wichtigsten sind:

RAM's - Lese-Schreibspeicher
ROM's - Festwertspeicher und
E/A - Ein-Ausgabeschaltkreise unterschiedlichster Art.

Ergänzt man Mikroprozessor-Module, bestehend aus den genannten Schaltkreisen, durch Peripherie-Einheiten der Rechentechnik (Tastatur, Anzeige-Displays usw.), so entstehen Mikrorechner. Diese wiederum können zu Mikrorechner-Systemen (Mikrorechner-Anlagen) erweitert werden, wenn ein weiterer Ausbau mit Baueinheiten der Rechentechnik vorgenommen wird (Lochstreifen-Leser,

-Stanzer, Drucker, Magnetbandspeicher usw.). Die Grenzen sind jedoch fließend.

Werden Mikroprozessoren in spezielle Geräte eingebaut - das ist der weitaus häufigere Fall - so spricht man allgemein von mikroprozessorgesteuerten Geräten, speziell z. B. von programmierbaren Waagen, Mikroprozessor-Reglern usw.

2.1.1. Mikroprozessor FW-Erfurt U 808D /18/, /35/, /68/, /71/, /91/, /92/

Der integrierte MOS-Schaltkreis im 18poligen DIL-Plastgehäuse ist eine Zentrale Verarbeitungseinheit (ZVE) in p-Kanal-Silicon-Gate-Technologie für den Aufbau von Mikroprozessor-Geräten und Mikrorechnern.

Charakteristische Merkmale sind:

- 8-Bit-Parallel-ZVE auf einem Chip (CPU, central processor unit),
- Basis-Befehlssatz 48 Befehle,
- maximale Taktfrequenz 500 kHz,
- typische Befehlsausführungszeit 20 µs,
- TTL-Kompatibilität (Eingänge und Takt),
- Low-Power-TTL-Kompatibilität (Ausgänge),
- direkt adressierbare Speicherkapazität 16 k-Worte,
- beliebige Erweiterung der Speicherkapazität durch programmunterstützten Speicher-Bank-Betrieb,
- 8stufiger 14-Bit-Adressen-Stack-Speicher,
- 7 frei verfügbare Datenregister,
- INTERRUPT-Möglichkeit,

a) Äußere technische Kennwerte und Eigenschaften

Die nachfolgend angegebenen technischen Kennwerte - Anschlußbelegung, statische und dynamische Daten - beziehen sich auf die 18polige Schaltkreisausführung des U808D /92/. Sie geben lediglich eine kurze Übersichtsinformation

- Anschlußbelegung

Pin	Kurzbez.	Beschreibung
1	U_{DD}	Betriebsspannung U_{DD} = -9 V
2	D7	Datenbus-Ein-/Ausgang 7
3	D6	Datenbus-Ein/Ausgang 6
4	D5	" " 5
5	D4	" " 4
6	D3	" " 3
7	D2	" " 2
8	D1	Datenbus-Ein-/Ausgang 1
9	D0	" " 0
10	U_{CC}	Betriebsspannung U_{CC} = +5 V
11	S2	Status-Ausgang 2
12	S1	Status-Ausgang 1
13	S0	Status-Ausgang 0
14	Sy	Synchron-Ausgang
15	C2	Takteingang 2
16	C1	Takteingang 1
17	RD	READY-Eingang
18	IT	INTERRUPT-Eingang

- Typische statische Kennwerte

Betriebsspannung: U_{CC} = +5 V $\pm$ 0,25 V

Betriebsspannung: U_{DD} = -9 V $\pm$ 0,45 V

Stromaufnahme: $I_{DD} = -(I_{CC} + I_{Last})$ = -30...-60 mA

Eingangsspannung: U_{eL} = U_{DD} ... U_{CC} - 4,35 V

$U_{eH} = U_{CC}$ - 1,5 V ... U_{CC} + 0,3 V

Ausgangsspannung: U_{aL} = +0,4 Vmax, I_{aL} = 0,4 mA

U_{aH} = +2,4 Vmin, I_{aH} = -0,2 mA

- Typische dynamische Kennwerte

Taktperiode: 2 ... 3 µs

Anstiegs- und Abfallzeit der Eingangssignale: 50 ns

Kapazitäten der Eingangs- und Ausgangs-Anschlüsse: 5 ... 10 pF

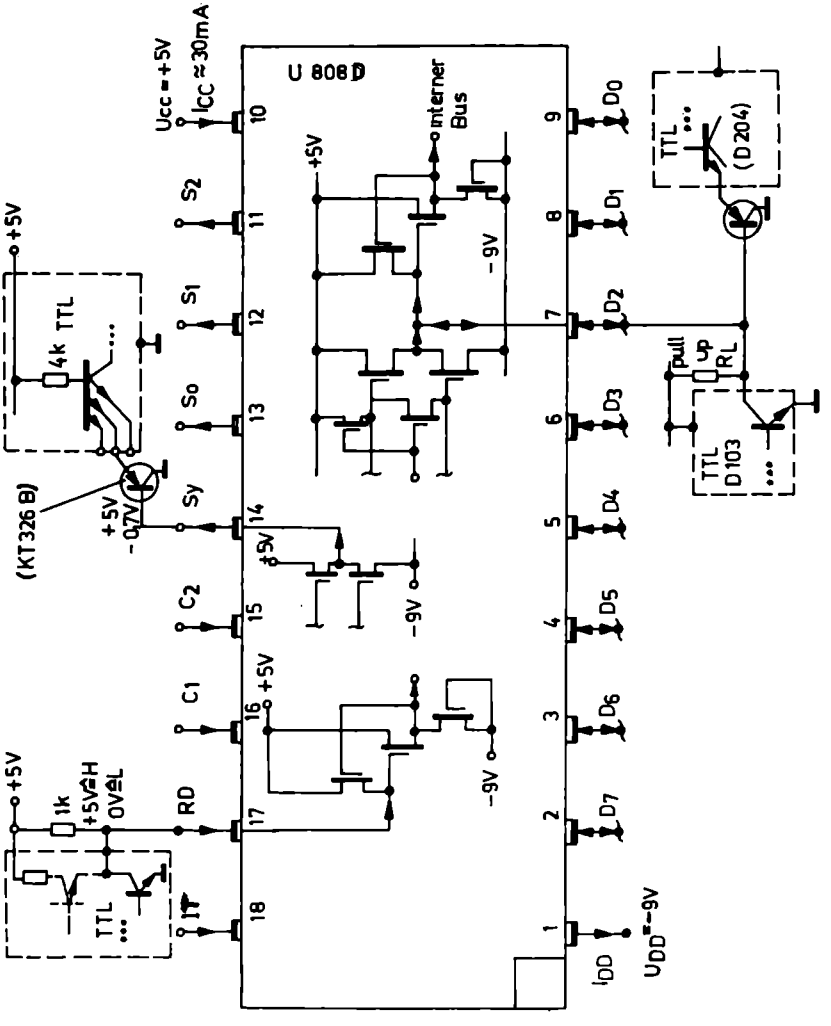


Bild 11: Anschlüsse des Mikroprozessors U808D mit den zugeordneten Klemmenschaltungen (intern und extern) /91/, /92/

- Bedeutung der Anschlußbelegung U808D
  - D7...D0: Datenbus, bidirektionale Ein-Ausgänge für den Transport allgemeiner Daten zwischen CPU und äußeren Schaltkreisen. Diese Daten können Zahlen, Befehle oder Adressen sein. Das Datenformat ist durch den 8Bit-Bus (ein Byte) festgelegt, so daß z. B. Adressen aus zwei Byte sequentiell gebildet werden.
  - U_{CC}, U_{DD}: Versorgungsspannungen +5 V und -9 V ohne CPU-internen Masse-Anschluß. Die Teilung der Gesamtspannung von -14 V für den p-Kanal - SGT-MOS-Schaltkreis ermöglicht seine TTL-Kompatibilität.
  - C_1, C_2: Taktsignal-Eingänge (clock input) mit zwei nichtüberdeckenden, phasenverschobenen Taktsignalen der Frequenz f_c = 480 kHz.
  - Sy: Synchronisationstakt: $f_y = f_c/2$ = 240 kHz.
  - S_2, S_1, S_0: Zustandssignale. In Abhängigkeit vom Taktzustand des Prozessors wird eine entsprechende Belegung (O/I) der Signale $S_2S_1S_0$ (maximal 8 unterscheidbare Taktzustände) nach außen mitgeteilt.
  - RD: Bereitschaftsmeldung (READY) zur Programmfortsetzung in Abhängigkeit von der Peripherie.
  - IT: Unterbrechungsanmeldung (INTERRUPT) zur Einleitung eines veränderten Programmablaufs in Abhängigkeit von der Peripherie.

- Elektronisches Klemmenverhalten
  - Eingangsseitige TTL-Kompatibilität
    In der Darstellung der CPU nach Bild 11 ist die Bedingung für die TTL-Kompatibilität am IT-Eingang angegeben. Der Treiberwiderstand von 1k dient dem sicheren Erreichen des H (high)-Pegels.
  - Ausgangsseitige TTL-Kompatibilität
    Die volle TTL-Kompatibilität zu Standard-TTL-Schaltkreisen läßt sich nur über einen zusätzlichen Stromverstärkungs-Transistor erreichen (z. B. KT326B).
  - Bidirektionale Bus-Leitungen
    Um über die gleichen Anschlußklemmen Daten sowohl senden

ale auch empfangen zu können, ist ein Umschalten der Ausgangsklemmen aller an den Datenbus angeschlossenen Schaltkreise in einen neutralen Zustand möglich (Drei-Zustands-Ausgänge, three state outputs). Mit gewissen Einschränkungen kann diese Eigenschaft auch mit Schaltkreisen erreicht werden, die ausgangsseitig offene Kollektoren besitzen (z. B. D103). In beiden Formen ist der Ausgang für den neutralen Zustand hinreichend hochohmig.

b) Innerer Aufbau der CPU/U808D

Die Blockstruktur der CPU U808 ist im Bild 12 gezeigt /71/, /91/. Alle Blöcke sind über einen 8-Bit-Datenbus (acht Datenleitungen) so miteinander verbunden, daß sowohl in die Blöcke hinein als auch aus den Blöcken heraus Daten transportiert werden können. Die Tätigkeit jedes Blockes wird über Steuerleitungen eingeleitet und beendet.
Die Blöcke haben folgende Aufgaben:

- Die <u>Zeit- und ZVE-Steuerung</u> setzt den von außen ständig anliegenden Zweiphasen-Takt (C_1, C_2) in ein Synchronisationssignal (S_y) und in drei Maschinenzyklussignale (S_0, S_1, S_2) um. Damit kann ein Maschinenzyklus aus maximal acht Zuständen bestehen. Sie bestimmen in Abhängigkeit vom Bereitschaftssignal READY (RD) und Unterbrechungssignal INTERRUPT (IT) den zeitlichen Ablauf der Befehlsabarbeitung.

- Der <u>Befehlszähler (PC, program counter, Programmzähler)</u> liefert entsprechend dem Zählerstand die Adresse der abzuarbeitenden Befehle. Da eine Adresse max. 14 Bit (für 16 K-Speicherplätze) umfassen kann, muß sie in einen niederwertigen (8-Bit) und einen höherwertigen (6-Bit) Teil zerlegt werden und durch einen Multiplexer in zwei Worten auf den 8-Bit-Daten- und Adreßbus übertragen werden. Die sieben Adreß-Kellerspeicher (Stack) gestatten das Zwischenspeichern von Adressen (14 Bit) nach dem LIFO-Prinzip (last in-first out, zuletzt hinein - zuerst hinaus). Im einfachsten Programmablauf wird

der Befehlszählerstand mit der Abarbeitung eines Befehles um 1 oder 2 oder 3 - je nach Befehlsart - automatisch erhöht, so daß die Adresse des nachfolgenden Befehls im Befehlszähler bereitsteht. Bei Unterprogrammaufrufen wird die aktuelle Adresse des Unterprogrammes in den Befehlszähler gebracht. Nach Beendigung der Unterprogrammbearbeitung wird mit einem Rückkehrbefehl die zuletzt in den Stack geladene Adresse wieder in den Befehlszähler übertragen, so daß das Hauptprogramm folgerichtig abgearbeitet werden kann. Der Adreß-Stack-Pointer (Zeiger des Adreß-Keller-Speichers) organisiert das interne Umspeichern der im Stack aufgehobenen Adressen. Mit den 7 Stacks lassen sich maximal 7 Rücksprungadressen aufheben. Bei Überfüllung des Stack geht die zuerst eingeladene Adresse verloren.

Über den Datenbus-Puffer erfolgt die Übertragung von Adressen oder Daten zu den äußeren Speichern bzw. Ausgabe-Baugruppen oder umgekehrt der Empfang der gelesenen Daten oder Befehle aus den Speichern bzw. den Eingabeeinheiten in die CPU.

Befehle gelangen in das Befehlsregister und werden anschließend im Befehlsdekoder entschlüsselt. Die Entschlüsselung wird durch eine Logik vorgenommen, die die funktionellen und zeitlichen Abläufe für die Abarbeitung von 228 elementaren Befehlen (Instruktionen) festlegt, die aus den 48 Basisbefehlen gebildet werden können. Aus dem erkannten Befehl, der abzuarbeiten ist, folgt die entsprechende Zyklussteuerung. Zur Realisierung des Datentransportes, logischer und arithmetischer Befehle wird ein einziges Befehlswort benötigt. Bei Zweiwort-Befehlen ist an den Befehl ein zu verarbeitendes Datenwort gebunden. Für Sprung- und Rufoperationen werden Dreiwort-Befehle benötigt.
Aus dem Operationscode eines 8Bit-Wortes können maximal $2^8 = 256$ elementare Befehle unterschieden werden, wovon im Mikroprozessor U808D 228 genutzt werden.

Daten werden in den Akkumulator A oder in die 8-Bit-Register B bis L gebracht. Durch eine Register-Selektion wird ihre unab-

hängige Verwendbarkeit ermöglicht. Ihre Adressierung ist durch folgenden Code festgelegt:

A, 000, 0	Akkumulator
B, 001, 1	allg. Register
C, 010, 2	" "
D, 011, 3	" "
E, 100, 4	" "
H, 101, 5	Adreß-Register
L, 110, 6	" "
M, 111, 7	Speicheradressierung über die Adreß-Register H (höherwertiger Teil) und L (niederwertiger Teil)

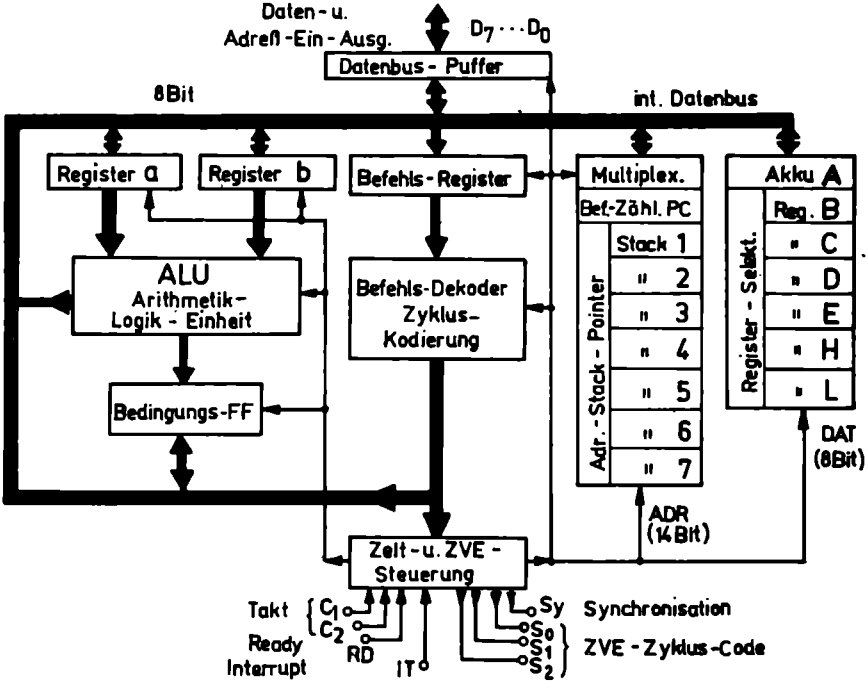


Bild 12: Blockschaltbild des Mikroprozessors U808D /91/, /92/

Besondere Verwendung finden in den Mikroprozessor-Befehlen die Register:

- A als Akkumulator
  Der Akkumulator liefert bei arithmetischen oder logischen Operationen einen der zwei Operanden und hebt das Resultat der Operationen auf.
- H und L als Adreß-Speicher für die indirekte Adressierung externer Speicherplätze
  Der Inhalt der Register L und H ergibt gemeinsam den mit M (memory) bezeichneten Speicherplatz des externen Speichers. Dabei enthält L den niederwertigen 8-Bit- und H den höherwertigen 6-Bit-Adreßteil der 14 Bit Adresse. Die verbleibenden 2 Bit sind ohne Bedeutung.

Sämtliche Verknüpfungen zweier Datenworte erfolgen in der arithmetisch-logischen Einheit (ALU).
Zu verarbeitende 8-Bit-Worte werden in den temporären Registern a, b zwischengespeichert. Zu den Aufgaben der ALU gehört die Realisierung von Befehlen zur Addition, Subtraktion, logischen UND-, ODER-Verknüpfung, zum Größenvergleich, zum Erhöhen oder Erniedrigen von 8-Bit-Worten. Die arithmetisch-logische Einheit ist das Rechenwerk des Mikroprozessors.

Die Bedingungs-Flip-Flops (Flags, Zeichen) werden in Abhängigkeit vom Resultat der Verknüpfungsoperation der ALU gesetzt (Übertrag, Null, höchstwertigstes Bit, Parität). Sie gestatten Programmverzweigungen, Ruf-, Sprung- und Rücksprungoperationen.
Die Bedingungs-Flip-Flops (Flags) heißen:
C (carry) = Übertrag, Z (zero) = Null,
S (sign) = Vorzeichen, P (parity) = Parität.
Ihre Zustände werden durch entsprechende Befehle ausgewertet, wobei folgende Symbole als Bestandteile der Befehle festgelegt sind:

C für C = I (carry) bei Übertrag des Resultates
NC für C = O (no carry) kein Übertrag
Z für Z = I (zero) Resultat ist null
NZ für Z = O (no zero) Resultat ungleich null
M für S = I (minus) Resultat ist negativ
P für S = O (plus) Resultat ist positiv
PE für P = I (parity even) Resultat ist gerade
PO für P = O (parity odd) Resultat ist ungerade

Die Bedingungs-Flip-Flops geben der Programmgestaltung eine große Flexibilität.

c) Zeit- und Ablaufsteuerung der CPU U808D

Die Abarbeitung eines Befehls des Mikroprozessors erfolgt in einem, zwei oder drei Maschinenzyklen (M-Zyklen). Jeder Maschinenzyklus wiederum zerfällt in Zeit-(Takt-)Zyklen (T-Zyklen) unterschiedlicher Länge. Der zeitliche Ablauf der Befehlsabarbeitung ist somit sowohl durch den aktuellen Befehl als auch durch die externen Steuersignale festgelegt. Als externe Steuersignale dienen immer die Signale C_1, C_2 als Grundtakte und die Signale Interrupt IT (Unterbrechung) und Ready RD (Bereitschaft) als Modifikation der T-Zyklen-Anzahl. Hinzu kommt eine Beeinflussung des T-Zyklenablaufes beim Einschalten des Prozessors oder durch das Lesen eines Halt-Befehls. Bild 13 zeigt die Zeitsteuerung (T-Zyklen) des Prozessors U808D.
In den angegebenen 8 T-Zyklen vollziehen sich prinzipiell alle Operationen des Mikroprozessors sowohl innerhalb des Schaltkreises als auch extern in der Randelektronik. Eine aktive Funktion zur Befehlsabarbeitung haben jedoch nur die 5 Grundzyklen T_1 bis T_5:

- T_1: . Der Befehlszähler (PC) sendet den niederwertigen Teil seines Zählerstandes (8 Bit) aus: $D_7 \ldots D_0$, T_1
  . Nach dem Aussenden wird der Befehlszählerstand automatisch um 1 erhöht.
  . Statusanzeige für T_1: $S_2S_1S_0$ = OIO

- T_2: . Der Befehlszähler (PC) sendet den höherwertigen Teil seines Standes (6 Bit) aus: $D_5 \ldots D_0$, T_2.
  Niederwertiger und höherwertiger Teil bilden gemeinsam die Adresse (14 Bit): $A_{13} \ldots A_0$.
  Sie wird in einem externen Auffangregister (latch) zwischengespeichert, bis die Daten aus dem entsprechenden Speicherplatz gelesen sind.
  . Eine Erhöhung des Befehlszählerstandes des höherwertigen Teiles erfolgt aus dem Übertrag des niederwertigen Teils.
  . Die verbleibenden zwei Bit $D_7 D_6$ des zweiten Taktes enthalten den Code für die Art des in Abarbeitung befindlichen Maschinenzyklus.
  . Statusanzeige für T_2: $S_2 S_1 S_0$ = IOO.

- T_3: . Nachdem mit T_1 und T_2 die Adresse eines Programmspeicherplatzes am Speicher anliegt, wird im Takt T_3 der in diesem Platz befindliche Befehl gelesen (Befehlholen) und in das Befehlsregister gebracht.
  . Ebenso werden im Takt T_3 Daten aus dem externen Speicher gelesen oder Daten in den externen Speicher geschrieben, wenn der entsprechende Maschinenzyklus vorliegt.
  . Statusanzeige für T_3: $S_2 S_1 S_0$ = OOI

- T_4, T_5: . Die Takte T_4 und T_5 dienen der Ausführung eines Befehls innerhalb der CPU (Rechenwerk- und Registeroperationen)
  . Sind keine entsprechenden Operationen auszuführen, so werden diese Takte übersprungen.
  . Statusanzeige für T_4: $S_2 S_1 S_0$ = III,
  T_5: $S_2 S_1 S_0$ = IOI.

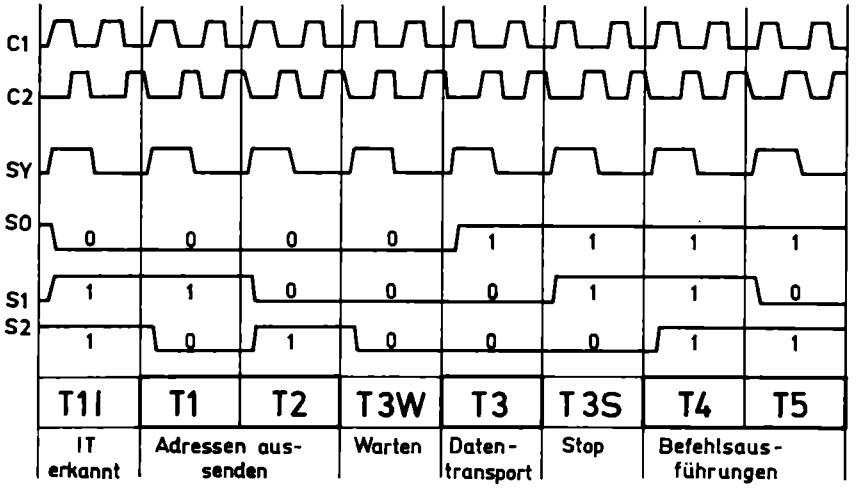


Bild 13: Maschinenzyklus mit der maximal möglichen Anzahl von T-Zyklen

Diese 5 Grundtakte können modifiziert werden:

- T_{1I}: . Am Ende eines jeden Befehles wird die Interrupt-Leitung abgefragt. Liegt eine Interrupt-Anmeldung vor, so ist IT = I. Dann wird ein internes Interrupt-FF gesetzt und anstelle des Zustandes T_1 der Zustand T_{1I} angenommen. Intern unterscheiden sich T_1 und T_{1I} nicht, jedoch wird nach außen zur Bestätigung der Interrupt-Anerkennung ein anderes Statussignal ausgesendet.
  . T_2 folgt ohne Erhöhung des Befehlszählerstandes.
  . Statusanzeige für T_{1I}: $S_2S_1S_0$ = IIO.

- T_{3W}: . Ist am Ende des Zustandes T_2 die Bereit-Leitung RD nicht I, d. h., es ist RD = O, so muß die CPU mit der weiteren Befehlsabarbeitung warten, bis die Bereitschaft RD = I gemeldet wird. Erst dann geht T_{3W}

in T_3 über. Liegt RD stationär auf I, so wird T_{3W} übersprungen. Der Zustand T_{3W} kann ein beliebiges Vielfaches eines T-Zyklusses betragen. Die Dauer der Wartezeit der CPU hängt z. B. von den notwendigen Datenlesezeiten langsamerer externer Speicher ab. So kann grundsätzlich nach T_2 ein T_{3W}-Zyklus folgen, um ein sicheres Datenlesen zu gewährleisten.

. Statusanzeige für T_{3W}: $S_2S_1S_0$ = 000.

- T_{3S}: . Wurde in T_3 ein programmierter oder über einen Eingabekanal anliegender Halt-Befehl gelesen, so geht die CPU in den T_{3S}-Zustand (Stop).

. Ebenso wird T_{3S} eingenommen, wenn die Betriebsspannung zugeschaltet wird.

. Das Verlassen des Stop-Zustandes kann mit Hilfe eines kurzen Interrupt-Impulses (IT=I) ausgelöst werden.

. Der T_{3S}-Zustand kann beliebig lange dauern.

. Statusanzeige für T_{3S}: $S_2S_1S_0$ = 011.

Das Zustands-Flußdiagramm (Zustandsgraph) Bild 14 zeigt die möglichen Übergänge zwischen den T-Zuständen. Die beeinflußbaren Bedingungen für den Übergang von einem T-Zustand in einen anderen sind an den Pfeilen oder in den Bedingungskästchen in der beschriebenen Weise angegeben. Das nach einer Interrupt-Erkennung gesetzte INT-FF bleibt so lange I, bis der Ein- oder Mehr-Byte-Interrupt-Befehl abgearbeitet ist, danach wird es automatisch rückgesetzt.

Unter Verwendung der Grund-T-Zyklen T_1, T_2, T_3, T_4, T_5 kann der Mikroprozessor U808D folgende Maschinenzyklen (M-Zyklen) abarbeiten:

- PCI: . (put control instruction), Befehlsholezyklus. Jede Befehlsabarbeitung beginnt mit einem PCI-Zyklus, da sich alle Befehle im externen Programmspeicher oder in der Peripherie befinden.

. M-Zyklus-Code für PCI: D_7D_6 = 00.

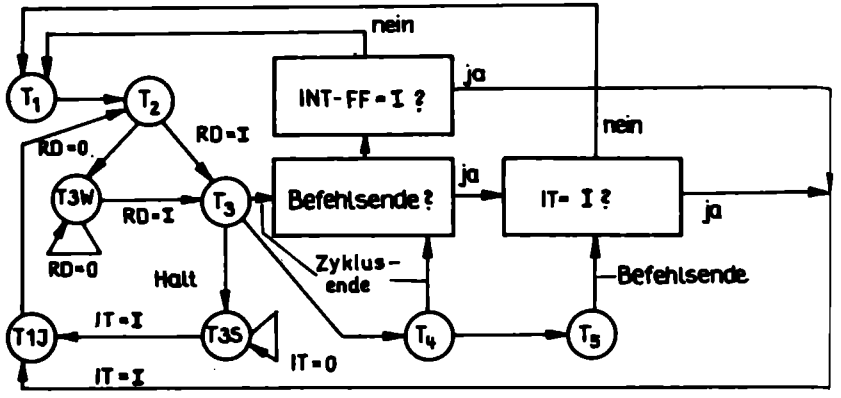


Bild 14 Zustandsgraph zur Beschreibung der Übergänge zwischen den T-Zuständen (S_2,S_1,S_0)

- PCR: . (put control read), Speicherlese-Zyklus. Im Ergebnis des im PCI-Zyklus erkannten Befehls werden Daten vom Speicher in die CPU transportiert.
  . M-Zyklus-Code für PCR: D_7D_6 = IO.

- PCW: . (put control write), Speicherschreib-Zyklus. Entgegengesetzt zum Lese-Zyklus werden Daten in den externen Speicher geschrieben.
  . M-Zyklus-Code für PCW: D_7D_6 = II

- PCC: . (put control call), Ein-, Ausgabe-Zyklus. Daten werden aus der Peripherie in die CPU oder von der CPU in die Peripherie transportiert.
  . M-Zyklus-Code für PCC: D_7D_6 = OI.

d) Blockstruktur eines einfachen Mikrorechners mit der CPU U808D

Um den Mikroprozessor U808D in einem speziellen Gerät oder als Mikrorechner nutzen zu können, ist ein funktionsgerechter Auf-

bau vollständiger Baugruppen notwendig. Ein Anwendungsbeispiel ist in der Firmendokumentation des Kombinates Mikroelektronik beschrieben /91/.
Die im Bild 15 gezeigte Blockschaltung nach /91/ enthält folgende Funktionsgruppen:

- CPU U808D als Mikroprozessor zur Befehlsabarbeitung und Zeit- und Ablaufsteuerung.
- Taktgenerator für den nicht überlappenden Zweiphasentakt C_1, C_2 von z. B. 500 kHz.
- Bus-Treiber zur Stromverstärkung der Signale D_7 ... D_0.
- Auffang-Adreß-Register für die niederwertigen (8Bit)- und höherwertigen (6Bit)-Adreßteile der Takte T_1 und T_2 sowie für die zwei Bits D_7 D_6 zur M-Zyklus-Kodierung PCI, PCW, PCR, PCC.
- Adreßschalter zur Bildung der Gesamtadresse $A_{13}...A_0$ und zur Blockauswahl der ROM- bzw. RAM-Speicherblöcke.
- Programm- und Datenspeicherblöcke (ROM, RAM).
- Ein-, Ausgabetore, die aus Puffer-Registern oder -Gattern gebildet werden und die Eingabe bzw. Ausgabe von Daten ermöglichen.
- E/A-Tor-Decoder zur Bildung der entsprechenden Tor-Adresse aus dem E/A-Adreßwort (RRMMM) und der E/A-Steuerung (I/O).
- Eingabe-Multiplexer zur Übernahme der Eingabe- und Speicher-Daten auf den bidirektionalen Bus der CPU.
- Steuer-Logik zur Verarbeitung externer Steuersignale wie Interrupt (IT), Bereitschaft (RD), der Statussignale der T-Zyklen $S_2S_1S_0$, der Synchronisation S_y, der M-Zyklus-Kodierung D_7 D_6 für PCI, PCR, PCW, PCC sowie der Ein-Ausgabe-Tor-Adreß-Bitgruppe RR zur Ein-Ausgabesteuerung.

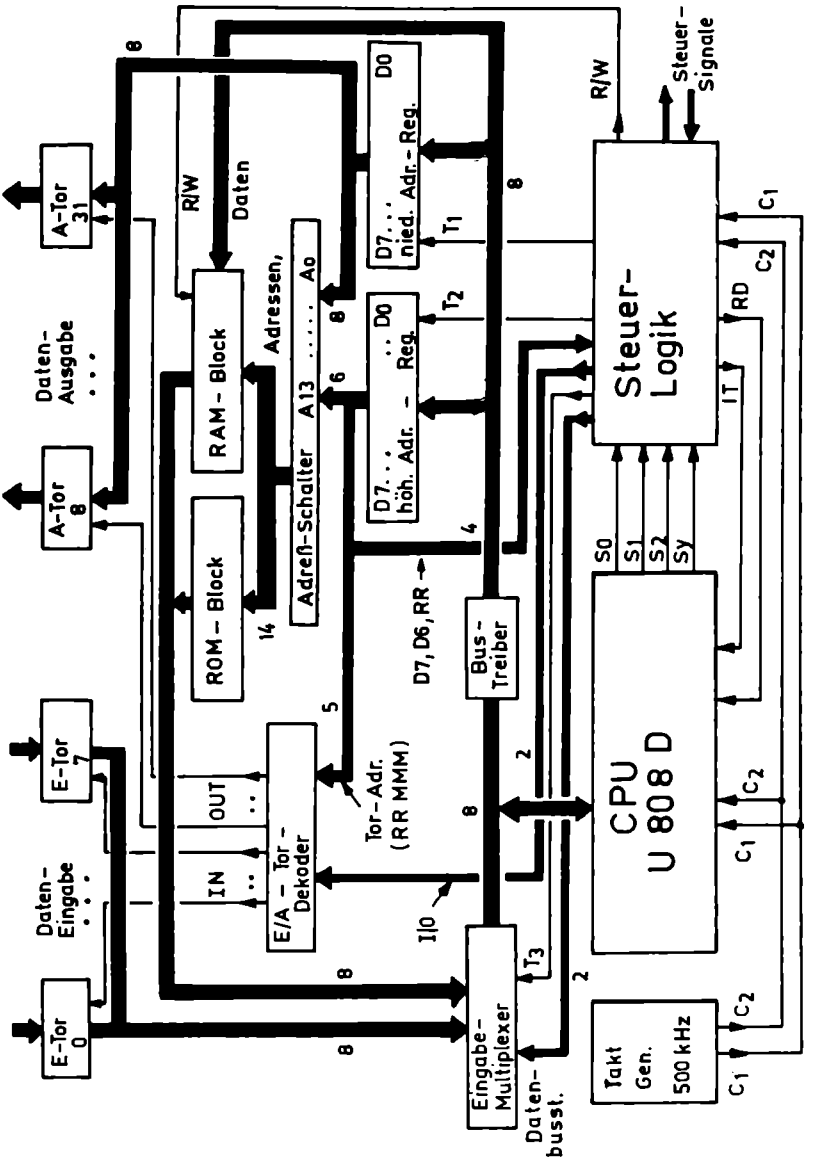


Bild 15: Blockstruktur eines einfachen Mikrorechners mit der CPU U808D, nach /91/

e) Befehle des Mikroprozessors U808D

- Befehlsstruktur

Alle Befehle, Daten und Adressen sind aus 8-Bit-Worten der Form $D_7D_6D_5D_4D_3D_2D_1D_0$ mit der Stellenwertigkeit $D_n(D_n = 2^n)$ zusammengesetzt. Sie bestimmt den Maschinencode der Befehle.

Befehlsstruktur:

. Ein-Wort-Befehle:

		Verwendung:
$D_7D_6D_5D_4D_3D_2D_1D_0$	Befehlscode	Interner Registertransfer, Operationen mit internen Registerdaten, Ein-/Ausgabe-Operationen, Halt-, Rückkehr-/ und Verschiebe-Befehle, Memory-Operationen

. Zwei-Wort-Befehle:

		Verwendung:
1. Wort $D_7D_6D_5D_4D_3D_2D_1D_0$	Befehlscode	Operationen mit vorgegebenen Daten
2. Wort $B_7B_6B_5B_4B_3B_2B_1B_0$	Datenwort	

. Drei-Wort-Befehle:

		Verwendung:
1. Wort $D_7D_6D_5D_4D_3D_2D_1D_0$	Befehlscode	Ruf- und Sprung-Operationen
2. Wort $A_7A_6A_5A_4A_3A_2A_1A_0$	niederwertige 8 Bit d. Adresse	
3. Wort X X $A_{13}A_{12}A_{11}A_{10}A_9A_8$	höherwertige 6 Bit d. Adresse	

Die Bits D_7 und D_6 im 3. Wort ($A_{15}A_{14}$) werden von der CPU nicht bearbeitet und sind wahlfrei.

Eine genaue Beschreibung der Basisbefehle ist in der Tabelle 1, Teile 1 bis 3, angegeben. Darin sind externe Speicherplätze (memory) durch M beschrieben, zu deren Adressierung die Inhalte der Register H und L verwendet werden.

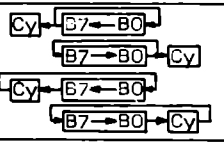
Bei Register-Operationen ist für die Kodierung der Quellregister (source) SSS und der Senkenregister = Zielregister (drain) DDD.

Im Binärcode ist für logisch "Eins" das Zeichen "I" verwendet.

In den E/A-Befehlen beschreiben RR den Code der Torgruppen und

Register-	Befehle	Wirkung der Befehle	Beschreibung der Befehle	Bemerkungen	Flags
II DDD SSS	MOV,r1,r2	(r1)←(r2)	Lade Reg.r1 mit Inhalt Reg.r2		
II DDD III	MOV r,M	(r)←(M)	Lade Reg.r mit Inhalt von M	(r2)=SSS	
II III SSS	MOV M,r	(M)←(r)	Lade M mit Inhalt von Reg.r	-Quellreg.	
00 DDD 110 B7 ... B0	MVI r	(r)←B7...B0	Lade Register r mit den Daten B7...B0	(r1)=DDD	X
00 111 110 B7 ... B0	MVI M	(M)←B7...B0	Lade Speicherplatz M mit den Daten B7...B0	-Zielreg.	
00 DDD 000	INR r	(r)←(r)+1 (r≠A)	Erhöhe Inhalt von Reg.r um 1		Z,S,P
00 DDD 001	DCR r	(r)←(r)-1 (r≠A)	Erniedr.Inh. von Reg.r um 1		Z,S,P
				r,r1,r2=	
Akkumulator-	Befehle			A 000	
10 000 SSS	ADD r	(A)←(A)+(r)	Addiere den Inhalt von:r,	B 001	Das Resultat setzt alle Bedingungs-FF-s: C,Z,S,P
10 000 111	ADD M	(A)←(A)+(M)	M	C 010	
00 000 100 B7 ... B0	ADI	(A)←(A)+B7...B0	bzw.die Daten B7...B0 zum Akku-Inhalt,Resultat im Akku	D 011 E 100	
10 001 SSS	ADC r	(A)←(A)+(r)+(Cy)	Add.Inhalt von: r und Cy,	H 101	
10 001 111	ADC M	(A)←(A)+(M)+(Cy)	M und Cy	L 110	
00 001 100 B7 ... B0	ACI	(A)←(A)+B7...B0+(Cy)	bzw.die Daten B7...B0 u. Cy zum Akku,Resultat im Akku	M 111	
10 010 SSS	SUB r	(A)←(A)-(r)	Subtrahiere Inhalt v.: r,	Adressier.	
10 010 111	SUB M	(A)←(A)-(M)	M	von M	
00 010 100 B7 ... B0	SUI	(A)←(A)-B7...B0	bzw.die Daten B7...B0 zum Akku-Inhalt,Resultat im Akku	durch HL;	
10 011 SSS	SBB r	(A)←(A)-(r)-(Cy)	Sub.Inhalt von: r und Cy	Cy=Carry	
10 011 111	SBB M	(A)←(A)-(M)-(Cy)	M und Cy	entspr.dem	
00 011 100 B7 ... B0	SBI	(A)←(A)-B7...B0-(Cy)	bzw.die Daten B7...B0 u.Cy zum Akku,Resultat im Akku	Flag:C	

Tabelle 1 : Befehlsliste des U808 (Teil 1: Indexregister- u. Akkumulator-Befehle)

Akkumulator-Befehle		Wirkung der Befehle	Beschreibung der Befehle	Bemerkungen	Flags
IO IOO SSS	ANA r	(A)←(A)∧(r)	Bilde das logische UND von: r, M		Z,S,P
IO IOO III	ANA M	(A)←(A)∧(M)			
OO IOO IOO B7 ... BO	ANI	(A)←(A)∧B7...BO	bzw. den Daten B7...BO mit dem Akku-Inhalt, Res. im Akku		
IO IOI SSS	XRA r	(A)←(A)⊻(r)	Bilde EXCLUSIV-ODER von: r, M	EXCL. ODER entspricht Antivalenz	Resultat setzt aber Cy= 0
IO IOI III	XRA M	(A)←(A)⊻(M)			
OO IOI IOO B7 ... BO	XRI	(A)←(A)⊻B7...BO	bzw. den Daten B7...BO mit dem Akku-Inhalt, Res. im Akku		
IO IIO SSS	ORA r	(A)←(A)∨(r)	Bilde INCLUSIV-ODER von: r M		
IO IIO III	ORA M	(A)←(A)∨(M)			
OO IIO IOO B7 ... BO	ORI	(A)←(A)∨B7...BO	bzw. den Daten B7...BO mit dem Akku-Inhalt, Res. im Akku		
IO III SSS	CMP r	(A) - (r)	Vergleiche Inhalt von: r, M	(r),(A),(M) u. D7...D0 bleiben unveränd.	Ergebnis setzt: C,Z,S,P
IO III III	CMP M	(A) - (M)			
OO III IOO B7 ... BO	CPI	(A) - B7...BO	bzw. die Daten B7...BO mit Akku-Inhalt		
OO OOO OIO	RLC		Verschiebe Akku-Inhalt nach: links / rechts		Ergebnis setzt: C
OO OOI OIO	RRC				
OO OIO OIO	RAL		Verschiebe Akku-Inhalt durch den Übertrag nach: links / rechts		
OO OII OIO	RAR				

Ein-Ausgabe-Befehle					
OI OOM MMI	IN	(MMM)→(A)	Eingabedaten vom Bus in Akku	Toradresse durch RRMMM festgelegt	CPZS auf D3 ... D0
OI RRM MMI	OUT	(A)→(RRMMM)	Akku-Inh. auf Ausgabetor		

Tabelle 1 Befehlsliste des U 808 (Teil 2: Akkumulator- u. Ein-Ausgabe-Befehle)

Adressen-	Befehle	Wirkung der Befehle	Beschreibung der Befehle	Bemerkungen	Flage
01 XXX 100 A7 ... A0 XXA13 ...A8	JMP	(PC)←A13...A0	Unbedingter Sprung zur Speicheradresse:A13...A0	Kodierung Beding.FF:	X
01 CCC 000 A7 ... A0 XXA13...A8	JNC, JNZ, JP, JPO	C=0↷(PC)←A13...A0 C=1↷(PC)←(PC)+3	Bedingter Sprung zur Speicheradresse:A13...A0,wenn Bedingungs-FF C=0	CC Flag 00 Carry 01 Zero 10 Signif. 11 Parity C=Zustand	Auswertung d. Beding. C,Z,S,P
01 ICC 000 A7 ... A0 XXA13...A8	JC, JZ, JM, JPE	C=1↷(PC)←A13...A0 C=0↷(PC)←(PC)+3	Bedingter Sprung zur Speicheradresse:A13...A0,wenn Bedingungs-FF C=1		
01 XXX 110 A7 ... A0 XXA13...A8	CALL	(ST)←(PC)+1 (PC)←A13...A0	Unbedingter Aufruf der Unterprogrammadresse:A13...A0	aktueller PC-Stand in Stack Stack-Niv. wird um 1 erhöht	X
01 CCC 010 A7 ... A0 XXA13...A8	CNC,CNZ, CP,CPO	C=0↷(ST)←(PC) (PC)←A13...A0 C=1↷(PC)←(PC)+3	Bedingter Aufruf der Unterprogrammadr.:A13...A0,wenn Bedingungs-FF C=0		Auswertung d. Bedingungen C,Z,S,P
01 ICC 010 A7 ... A0 XXA13...A8	CC,CZ CM,CPE	C=1↷(ST)←(PC) (PC)←A13...A0 C=0↷(PC)←(PC)+3	Bedingter Aufruf der Unterprogrammadr.:A13...A0,wenn Bedingungs-FF C=1		
00 XXX 111	RET	(PC)←(ST)	Rücksprung zur Stackadresse	aktuelle Stackadr.wird in den Befehlszähl.PC gebracht,Stack-Niv.um 1 erniedr.	X
00 CCC 011	RNC,RNZ, RP,RPO	C=0↷(PC)←(ST) C=1↷(PC)= (PC)+1	Rücksprung zur Stackadresse, wenn Bedingungs-FF C=0		Auswertung der Bedingungen C,Z,S,P
00 ICC 011	RC,RZ, RM,RPE	C=1↷(PC)←(ST) C=0↷(PC)= (PC)+1	Rücksprung zur Stackadresse, wenn Bedingungs-FF C=1		
00 AAA 101	RST	(ST)←(PC)+1 (PC)←000000 00AAA000	Aufruf der Speicheradresse: 0...0 AAA 000 (Erhöhung d. Stackniv. um 1		
Maschinen-	Befehl				
00 000 00X 11 111 111	HLT HLT	Halt	Einnahme des Stopzustandes (T3S) bis Interrupt (IT=1)	IT=1 wirkt als Start	X

Tabelle 1 Befehlsliste des U808D (Teil 3: Adressen- u. Maschinen-Befehle)

Bef.-Code 76 543 210	Anzahl T-Zust. / Mnemonik		M-Zyklus 1 (PCI-Zyklus)					M-Zyklus 2 (PCR-,PCW-,PCC-Zyklus)					M-Zyklus 3 (PCR,PCW-Zyklus)				
Indexreg.-	Befehle		T1	T2	T3	T4	T5	T1	T2	T3	T4	T5	T1	T2	T3	T4	T5
II DDD SSS	MOV r1 r2	5	Ausgesend.d.Befehlszähler-Standes (niedw.)	Ausgesend.d.Befehlszählerst.(höherw.)+PCI-Kod.	Befehl aus Speicher in Befehlsreg.u.Reg. b	r2→b	b→r1	L!	H!	D7 DO→b	T4	b→r1	(P	CR)			
II DDD III	MOV r M	8				r2→b		L!	H!	b!		(PCW)					
II III SSS	MOV M r	7						PCL!	PCH!	D7..DO→b	T4	b→r1	(P	CR)			
OO DDD IIO	MVI r	8						PCL!	PCH!	D7..DO→b		(PCR)	L!	H!	b!	(PC	W)
OO III IIO	MVI M	9				T4	(r)+1,ZS										
OO DDD OOO	INR r	5				T4	(r)-1,P										
OO DDD OOI	DCR r	5															
Akku-	Befehle																
IO PPP SSS	ALU-OP r	5				r2→b	OP,CC										
IO PPP III	ALU-OP M	8						L!	H!	D7..DO→b	T4	OP,CC	(P	CR)			
OO PPP IOO	ALU-OP I	8						PCL!	PCH!	D7..DO→b	T4	OP,CC	(P	CR)			
OO OOO OIO	RLC	5				T4	Rotation im Akku										
OO OOI OIO	RRC	5				T4											
OO OIO OIO	RAL	5				T4											
OO OII OIO	RAR	5				T4											
Adressen-	Befehle																
OI XXX IOO	JMP	11						PCL!	PCH!	A7...A0 b (PCR)					A13..A8→a		
OI OCC OOO	JNC,NZ,P,PO	9/11														a→PCH	b→PCL
OI ICC OOO	JC,Z,M,PE	9/11															(PCR)
OI XXX IIO	CALL	11															
OI OCC OIO	CNC,NZ,P,PO	9/11															
OI ICC OIO	CC,Z,M,PE	9/11															
OO XXX III	RET	5				AS-1	T5										
OO OCC OII	RNC,NZ,P,PO	3/5				AS-1	---T5										
OO ICC OII	RC,Z,M,PE	3/5				AS-1	---T5										
OO AAA IOI	RST	5				a→PCH	b→PCL	(	a:0	...0 ; b	:	00AA	A0	00)			
E/A-	Befehle																
OI OOM MMI	IN	8	PCL!=	PCH!=				A!	b!	D7..DO→b	CC!	b→A	(P	CC)			
OI RRM MMI	OUT	6						A!	b!	T3	(	PCC)					
Maschinen-Befehle																	
OO OOO OOX	HLT	4			T		(!=Inhalt wird ausgesendet, ∎=Befehlsende)										
II III III	HLT	4			3S												

Tabelle 2: Maschinenzyklen zur Abarbeitung der U808-Befehle

Tabelle 3: Befehlscode aller U808D-Befehle

HLT	INR C	INR E	INR L	JNC	JP	JC	JM	ADD A	SUB A	ANA A	ORA A	NOP	MOV C,A	MOV E,A	MOV L,A	0	0000
-	DCR C	DCR E	DCR L	IN 0	OUT 8	OUT 16	OUT 24	ADD B	SUB B	ANA B	ORA B	MOV A,B	MOV C,B	MOV E,B	MOV L,B	1	000I
RLC	RAL	-	-	CNC	CP	CC	CM	ADD C	SUB C	ANA C	ORA C	MOV A,C	MOV C,C	MOV E,C	MOV L,C	2	00I0
RNC	RP	RC	RM	IN 1	OUT 9	OUT 17	OUT 25	ADD D	SUB D	ANA D	ORA D	MOV A,D	MOV C,D	MOV E,D	MOV L,D	3	00II
ADI	SUI	ANI	ORI	JMP	JMP	JMP	JMP	ADD E	SUB E	ANA E	ORA E	MOV A,E	MOV C,E	MOV E,E	MOV L,E	4	0I00
RST 0	RST 2	RST 4	RST 6	IN 2	OUT 10	OUT 18	OUT 26	ADD H	SUB H	ANA H	ORA H	MOV A,H	MOV C,H	MOV E,H	MOV L,H	5	0I0I
MVI A	MVI C	MVI E	MVI L	CALL	CALL	CALL	CALL	ADD L	SUB L	ANA L	ORA L	MOV A,L	MOV C,L	MOV E,L	MOV L,L	6	0II0
RET	RET	RET	RET	IN 3	OUT 11	OUT 19	OUT 27	ADD M	SUB M	ANA M	ORA M	MOV A,M	MOV C,M	MOV E,M	MOV L,M	7	0III
INR P	INR D	INR H	-	JNZ	JPO	JZ	JPE	ADC A	SBB A	XRA A	CMP A	MOV B,A	MOV D,A	MOV H,A	MOV M,A	8	I000
DCR B	DCR D	DCR H	-	IN 4	OUT 12	OUT 20	OUT 28	ADC B	SBB B	XRA B	CMP B	MOV B,B	MOV D,B	MOV H,B	MOV M,B	9	I00I
RRC	RAR	-	-	CNZ	CPO	CZ	CPE	ADC C	SBB C	XRA C	CMP C	MOV B,C	MOV D,C	MOV H,C	MOV M,C	A	I0I0
RNZ	RPO	RZ	RPE	IN 5	OUT 13	OUT 21	OUT 29	ADC D	SBB D	XRA D	CMP D	MOV B,D	MOV D,D	MOV H,D	MOV M,D	B	I0II
ACI	SBI	XRI	CPI	JMP	JMP	JMP	JMP	ADC E	SBB E	XRA E	CMP E	MOV B,E	MOV D,E	MOV H,E	MOV M,E	C	II00
RST 1	RST 3	RST 5	RST 7	IN 6	OUT 14	OUT 22	OUT 30	ADC H	SBB H	XRA H	CMP H	MOV B,H	MOV D,H	MOV H,H	MOV M,H	D	II0I
MVI B	MVI D	MVI H	MVI M	CALL	CALL	CALL	CALL	ADC L	SBB L	XRA L	CMP L	MOV B,L	MOV D,L	MOV H,L	MOV M,L	E	III0
RET	RET	RET	RET	IN 7	OUT 15	OUT 23	OUT 31	ADC M	SBB M	XRA M	CMP M	MOV B,M	MOV D,M	MOV H,M	HLT	F	IIII
0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		3210
000	I00	0I0	II0	001	I01	0I1	III	000	I00	0I0	II0	001	I01	0I1	III	456	

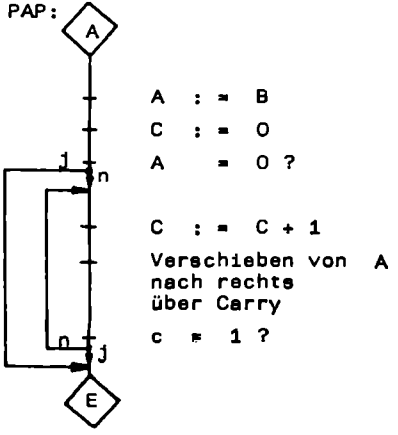
Beispiel: Programm: Wandlung 1 aus 8-Code in Binärcode

Eine Zahl im 1 aus 8 Code soll in den Binärcode gewandelt werden. Die Zahl, die umgewandelt werden soll, befindet sich im Register B. Die Binärzahl soll im Register C stehen. Das Programm soll ab Speicherplatz OB beginnen.

B: 0 0 0 I 0 0 0 0 ≙ 5

C: 0 0 0 0 0 I 0 I ≙ 5

PAP:



Marke/ Name	Mnemocode Befehl	Interpretation	Maschinencode ADRESSE oktal	Befehl/ Operand
	MOV A, B	(B)→(A)	00	IIOOOOOI
	MVI C, OB	OB→(C)	01	OOOIOIIO
			02	OOOOOOOO
	CMP C	(A):=(A) - (C)	03	IOIIIOIO
	JZ M2	Sprung, wenn Z=1	04	OIIOIOOO
			05	OOOOIIOO
			06	OOOOOOOO
M1	INR C	(C):=(C) + 1	07	OOOIOOOO
	RAR	Verschiebung	10	OOOIIOIO
	JNC M1	Sprung, wenn c=0	11	OIOOOOOO
			12	OOOOOIII
			13	OOOOOOOO
M2	HLT	HALT	14	IIIIIIII

MMM das konkrete Tor.
Tabelle 2 enthält die interne Befehlsabarbeitung in den Maschinenzyklen M_1 bis M_3. Dabei ist auf die Klammer-Kennzeichnung zur Benennung der Inhalte eines Registers überwiegend verzichtet worden.
Bei den ALU-Operationen wurde zur Codierung der speziellen Operation die Symbolik PPP und bei Adressenbefehlen CC verwendet. Im Restart-Befehl wird die Rücksprungadresse durch AAA beschrieben.
Tabelle 3 enthält die Mnemoniks aller U808D-Befehle in der Zuordnung zum Maschinen-Befehlscode (dual und hexadezimal). Die E/A-Tore sind dezimal numeriert von 0 bis 31. Die Restart-Adressen sind ebenfalls dezimal beschrieben von 0 bis 7.

2.1.2. Mikroprozessor Intel 8080 /18/, /20/, /49/, /73/, /75/

Die Blockstruktur der CPU 8080 ist in Bild 16 gezeigt. Die grundsätzliche Funktion ist ähnlich der des Vorläufers 8008. Er zählt jedoch bereits zur 2. Mikroprozessor-Generation, da er sich in wesentlichen strukturellen und technischen Merkmalen unterscheidet. Durch die Realisierung in NMOS-Technik besitzt er eine wesentlich kürzere Zykluszeit von 1,6 ... 2 µs. Die Trennung des Adreßbusses (16 Bit für 64 K Speicherplätze) vom Datenbus bewirkt einen wesentlich effektiveren Hardwareaufbau und eine günstigere Befehlsabarbeitung.

Die wichtigsten technischen Vorteile gegenüber dem Vorläufer 8008 folgen aus der Blockschaltung Bild 16:
- Zum 16 Bit-Befehlszähler gehört ein 16 Bit-Stapelzeiger (Stack-Pointer) zur Adressierung der im externen RAM aufgehobenen Rücksprungadressen. Da mit 16 Bit der gesamte Speicherbereich adressiert werden kann, ist eine praktisch unbegrenzte Unterprogramm-Schachtelung (nesting) möglich.
- Die 6 Datenregister zu je 8 Bit können zur Doppelwort-Verarbeitung als 16 Bit-Register-Paare genutzt werden.
- Erhöhung der Befehlszahl von 48 auf 78.
- Direkte Datenspeicheradressierung.
- Adressierbarkeit von 256 E/A-Kanälen (Toren).

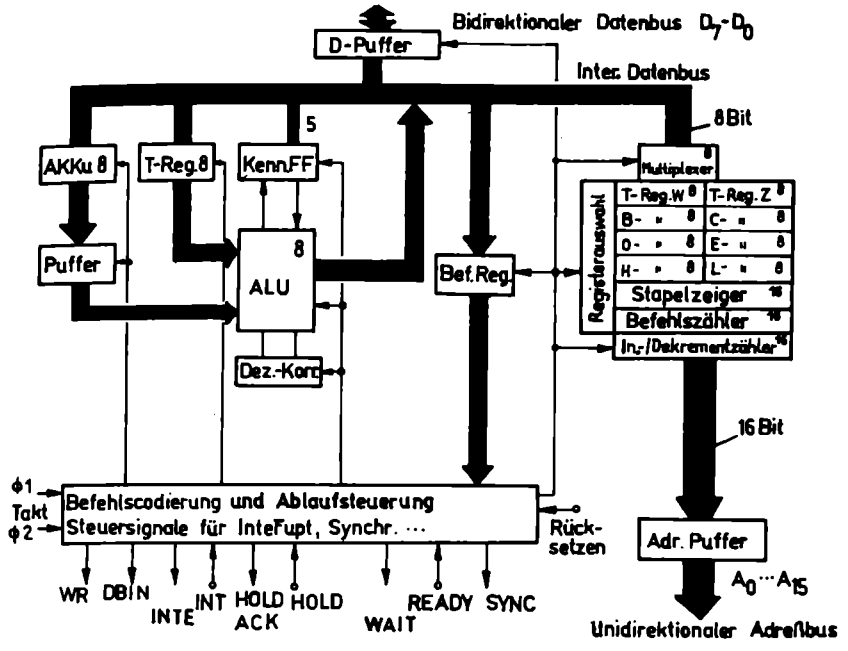


Bild 16 : Blockschaltbild der CPU 8080 /49/

Wichtige schaltungstechnische Vorteile entstehen durch den parallel ausgeführten Adreßbus und eine wesentlich erhöhte Zahl voll dekodierter Steuersignale. Damit werden externe Auffangregister und Dekodier-Schaltkreise eingespart.
Die Steuersignale der CPU, Bild 16, bedeuten:

- WR : Datenfreigabe zum Schreiben in den externen Speicher, Ausg.
- DBIN : Dateneingabe vom Bus in die CPU (Lesen), Ausg.
- INT : Anforderung eines Interrupts, Eing.
- INTE : Mitteilung des Zustandes des Maskierungs-Interrupt-FF, Ausg.
- HOLD : Anforderung des Halt-Zustandes der CPU, Eing.

. HOLDACK: Halt-Bestätigung durch die CPU, Ausg.
. WAIT : Mitteilung des Warte-Zustandes der CPU, Ausg.
. READY : Bereitschaftsmeldung an die CPU, Eing.
. SYNC : Synchronisation, Statusübergabe, Ausg.
. RESET : Rücksetzen der CPU, Eing.

Nachteilig ist der Bedarf von drei Betriebsspannungen (+5 V, +12 V, -9 V). Der Mikroprozessor 8080 wurde zu einem Weltstandard /18/, da mit ihm ein umfassendes Sortiment von Zusatzschaltkreisen entwickelt wurde, das erlaubt, praktisch allen Anwendungsfällen gerecht zu werden.

Zum 8080-Schaltkreissystem sind folgende Speicher-, Peripherie- und Hilfsschaltkreise TTL-kompatibel angepaßt (Stand 1977):

. 8101: RAM 256 x 4 Bit (stat.)
. 8102: RAM 1K x 4 Bit (stat.)
. 8107: RAM 4K x 1 Bit (dyn.)
. 5101: RAM 256 x 4 Bit (CMOS)
. 8205: 1 aus 8 - Dekoder
. 8212: E/A-Puffer-Register, 8 Bit
. 8216: E/A-bidirektionaler Bustreiber
. 8224: Taktgenerator
. 8228: Systemsteuerung 8080
. 8251: programmierbares Serien-Interface
. 8255: programmierbares Parall-Interface
. 8253: programmierbarer Zeitgeber
. 8257: DMA-Steuerung

2.1.3. Mikroprozessor-Motorola 6800, /17/, /18/, /70/

Der Mikroprozessor Motorola 6800 gehört ebenfalls der zweiten Mikroprozessor-Generation an (NMOS-Silicon-Gate-Technologie). Gegenüber dem 8080 zeichnet er sich durch eine vereinfachte Systemtechnik aus.
Datenbus (8 Bit) und Adreßbus (16 Bit) sind ebenfalls getrennt herausgeführt. Der kürzeste Befehlszyklus beträgt 1,5 ... 2 µs.

Er benötigt nur eine Betriebsspannung (+5 V).
Eine Auswahl von Schaltkreisen des leistungsfähigen Schaltkreiskonzeptes zeigt Bild 17. Die CPU liefert oder verarbeitet voll dekodierte Steuersignale:

- RES: Rücksetzen, Systeminitialisierung, Eing.,
- IRQ: Anforderung einer Interrupt-Routine, Eing.,
- VMA: Datenbus besitzt Speicheradresse, Ausg.,
- R/W: Daten-Lesen oder Daten-Schreiben, Ausg.,
- NMI: nicht markierte Interrupt-Anford., Eing.,
- DBE: Aktivierung des 3-Zustands-Puffers des Datenbusses, Eing.,
- TSC: wie DBE, jedoch für Adreßbus und R/W-Leitung (für DMA), Eing.,
- G/H: CPU-Halt, Bus hochohmig, Eing.
- BA : Datenbus ist hochohmig, Ausg.

Der Peripherie-Interface-Adapter (PIA) ist der CPU angepaßt. Dieser Schaltkreis ist programmierbar für den Datenverkehr zwischen CPU und peripheren Geräten und anderen Mikroprozessoren. Es bedeuten insbesondere:

- CS : Schaltkreis-Auswahl (chip select), Eing.,
- RS : Register-Auswahl (register select), Eing.,
- E : Schaltkreis-Freigabe (chip enable), Eing.,
- CA,CB: Peripherie-Steuerung, Eing., Ausg.,
- IRQ : Interrupt-Anforderung, Ausg.

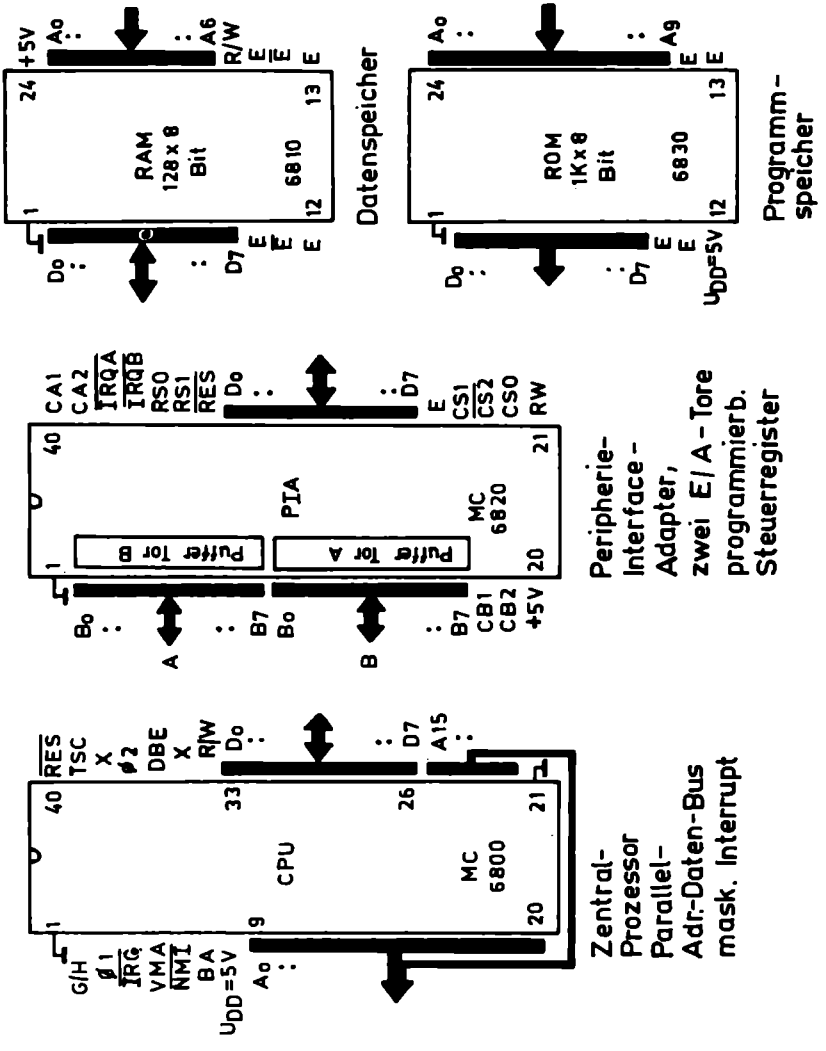


Bild 17: Mikroprozessor-Schaltkreisfamilie M 6800 /17/,/70/

2.1.4. Mikroprozessor Intel 8085 /98/

Die Mikroprozessor-Schaltkreisfamilie MCS 85 stellt gegenüber dem System MCS 80 eine vollständige Ablösekonzeption dar. Mit der Ablösung der CPU 8080A werden auch alle Zusatz- und Peripherie-Schaltkreise abgelöst. Zugleich besteht jedoch maximale Kompatibilität der Nachfolgeschaltkreise zu ihren Vorgängern. Insbesondere ist die Software vollkompatibel zum 8080A-Schaltkreis. Mit den in Bild 18 angegebenen drei Haupt-Schaltkreisen ist ein vollständiger Mikrorechner mit E/A-Parallel- und Serien-Interface realisierbar. Die Zusammenlegung des Adreßbusses mit dem Datenbus ermöglicht die Bereitstellung und Aufnahme einer sehr großen Zahl von Steuersignalen ohne Dekodiernotwendigkeit. Die Übergabe oder Aufnahme von Daten sequentiell nach der Adressierung erfordert die Adreßpufferung in den Peripherie-Schaltkreisen.
Die wichtigsten Vorteile der CPU sind:

- Eine Betriebsspannung +5 V
- Taktgenerator intern in der CPU, Anschluß des Quarzes von außen
- Volle Systemsteuerung in der CPU
- Vier-Vektoren-Interrupt
- Serien E/A-Interface (Tor)
- Dezimal-, Binär- und Doppelwort-Arithmetik
- Direkte Adressierung des externen Speichers mit 64 K Byte-Kapazität.

In Bild 18 bedeuten die wichtigsten Signalnamen gegenüber dem Schaltkreis 8080:

- SID : serielle Daten-Eingabe, Eing.,
- SOD : serielle Daten-Ausgabe, Ausg.,
- CLK : Takt-Ausgang
- RST 5,5; 6,5; 7,5 : Band-Raten-Steuerung der Datenübertragung, Interrupt-Eing.,
- TRAP : Übernahme-Steuerung, Interrupt-Eing.,
- ALE : Status-Signal

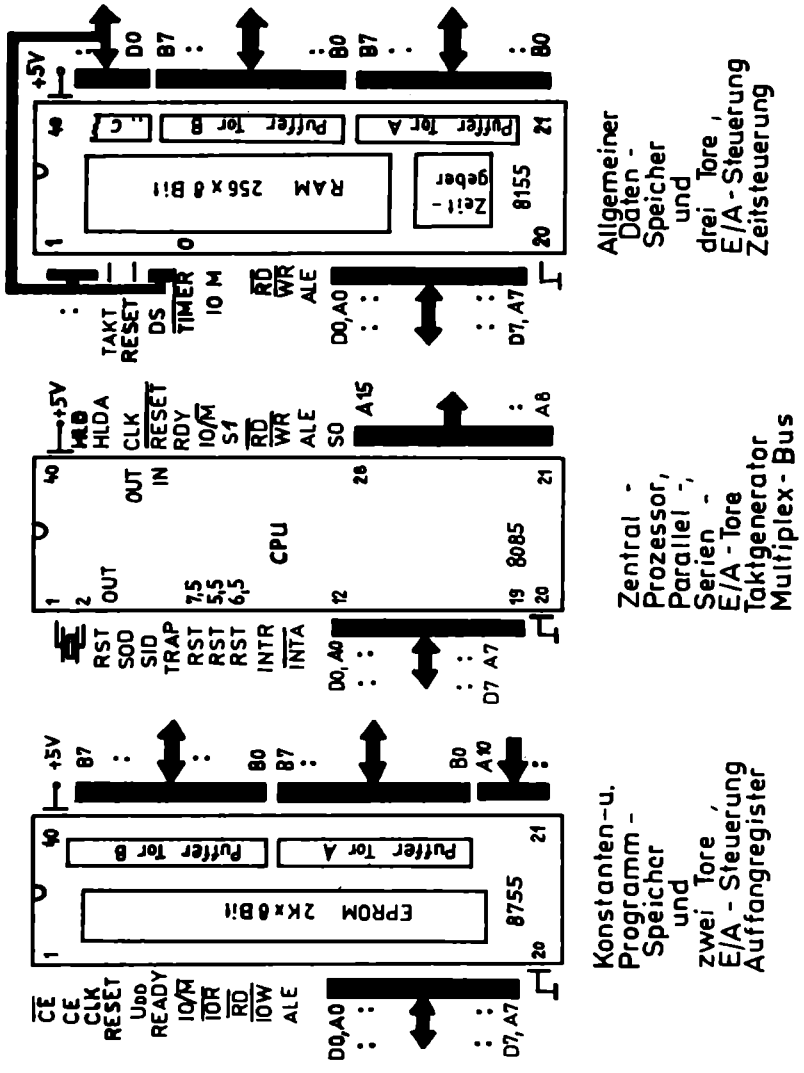


Bild 18: Schaltkreise des Mikroprozessorsystems MCS 85

Zum MCS 85-Konzept gehören die Schaltkreise:

- 8155/8156: RAM 256 x 8 Bit, 2 programmierbare 8-Bit-E/A-Tore, Zeitgeber
- 8355 : ROM 2K x 8 Bit, 2 allgemeine 8-Bit-E/A-Tore
- 8755 : EPROM 2K x 8 Bit, 2 allgemeine 8-Bit-E/A-Tore
- 8251 : programmierbares Serien-Interface
- 8255A : programmierbares Parallel-Interface
- 8257 : programmierbare DMA-Steuerung
- 8259 : programmierbare Interrupt-Steuerung (8 Ebenen)
- 8271 : programmierbare Floppy-Disk-Steuerung
- 8273 : synchrone Datenübertragungs-Steuerung (SDLC)
- 8275 : programmierbare Bildschirm-Steuerung
- 8279 : programmierbare Bediengerät-Bildschirm-Steuerung

2.1.5. Mikroprozessor Zilog Z 80 /19/, /64/, /73/

Der Mikroprozessor Z 80 wird bereits zur dritten Mikroprozessor-Generation gezählt, obwohl er wie der 8080 und der 6800 in NMOS-Silicon-Gate-Technik realisiert ist. Er besteht aus 8200 integrierten Transistoren. Infolge der Ionenimplantation wird die min. Befehlszykluszeit auf 1,6 μs bis 1,3 μs verkürzt. Die gegenüber dem 8080 erreichte 5-fach höhere Verarbeitungsgeschwindigkeit folgt aus der stark verbesserten Systemtechnik. Die Anzahl der Befehle wurde auf 158 erhöht, wobei alle 8080-Befehle unverändert enthalten sind.
Die hochleistungsfähigen Ergänzungsschaltkreise zur Daten-Ein-Ausgabe und -Speicherung gestatten die Realisierung eines vollständigen Mikrorechners auf einer Leiterkarte der Abmessungen 100 x 160 mm^2. Datenbus (8 Bit) und Adreßbus (16 Bit) sind getrennt. Zur Realisierung von Doppel-Byte-Operationen sind die Registerblöcke (CPU-Register) (Bild 19) als Haupt- und Zweitregister doppelt aufgebaut. Entsprechend existieren 16-Bit-Arithmetikbefehle. Damit wird der Z 80 vielen 16-Bit-Mikroprozessoren gleichwertig.

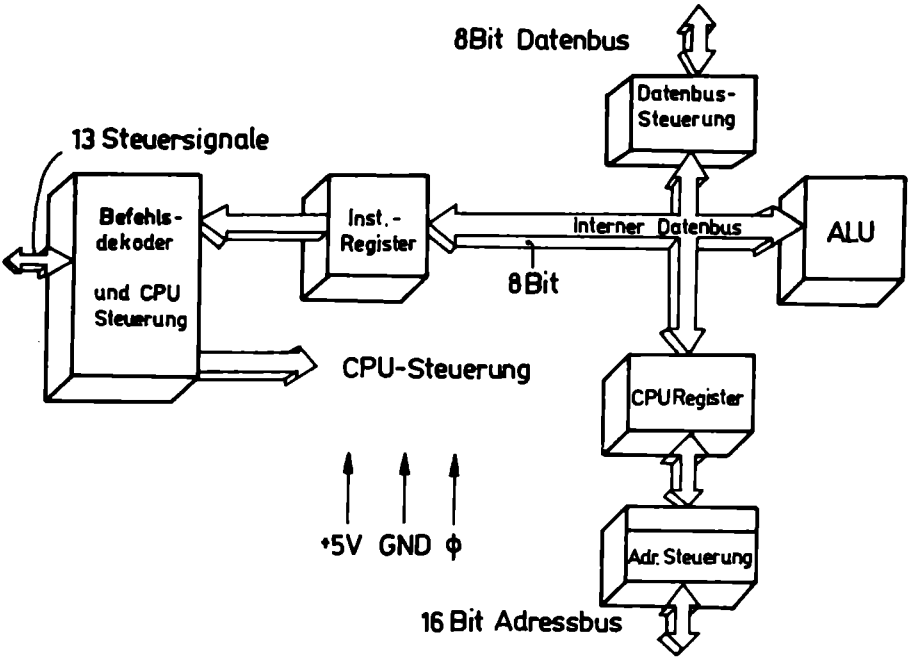


Bild 19 : Vereinfachte Blockstruktur der CPU Z 80 /19/

Zur Verarbeitung logischer Signale für steuerungstechnische Anwendungen sind Einzelbitoperationen und 4-Bit-Operationen direkt programmierbar.

Eine wesentliche Minimierung des äußeren Hardwareaufwandes wird dadurch erreicht, daß nur eine Betriebsspannung (+5 V) und nur ein TTL-Phasentakt benötigt wird. Nebenfunktionen zur Systemsteuerung, Interruptsteuerung, Prioritätserkennung sind in den Systembausteinen mit untergebracht.

Der stark erweiterte Befehlssatz von 158 Befehlen ermöglicht eine effektive Ausnutzung der hochintegrierten Schaltkreise. Insbesondere wird eine Speicherplatzeinsparung von ca. 50 % erreicht.

Der Anschluß weiterer Systemschaltkreise an die CPU ist ohne Zwischenelemente unmittelbar möglich. Es besteht volle TTL-Kompatibilität.

a) Äußere technische Kennwerte

Statische Kennwerte:

- Betriebsspannung: U_{cc} = +5 V
- Stromaufnahme: I_C = 150 mA
- Eingangsspannung: U_{eL} = -0,3 ... +0,8 V
  U_{eH} = 2 ... 5 V
- Ausgangsspannung: U_{aL} = 0,4 V max
  U_{aH} = 2,4 V min

Dynamische Kennwerte:

- Taktperiode: T_ϕ = 0,25 ... 0,4 µs
- Anstiegs- bzw. Abfallzeit: 30 ns

Die Anschlußbelegung des 40-poligen DIL-Schaltkreises mit den entsprechenden Signalnamen geht aus der Darstellung Bild 20 hervor. Im Detail haben sie folgende Bedeutung:

- $D_7 \ldots D_0$: . 8-Bit-bidirektionaler Datenbus
  . Tri-state-Ein/Ausgänge, high aktiv
  . Datenaustausch CPU-Speicher, CPU-E/A-Tore und Speicher-E/A-Tore im DMA-Betrieb
- $A_{15} \ldots A_0$: . 16-Bit-Adreßbus
  . Tri-state, high aktiv
  . Adressen für 64 K-Byte Speicherplätze
- ϕ : . 2,5 MHz-Takt, T_ϕ = 400 ns bei Z80
  . 4 MHz-Takt, T_ϕ = 250 ns bei Z80A
  . 5 V-TTL-Signale an 330 Ohm
- M_1 : . Maschinenzyklus 1 = Befehlsholezyklus (Fetch-Zyklus)
  . Lesen des Operationscode aus dem externen Programmspeicher
  . Tri-state-Ausgang

MREQ : . Speicheranforderung (memory request)
. Tri-state-Ausgang , Low aktiv

IOREQ: . E/A-Anforderung (input/output req.)
. Tri-state-Ausgang , Low aktiv
. Der niederwertige Adreßteil $A_7 \ldots A_0$ liefert die E/A-Adresse zur Torauswahl
. Zweite Funktion: Interrupt-Bestätigung, so daß ein IT-Vektor an den Bus gelegt werden kann

RD : . Daten lesen vom Speicher oder einem Eingang (read)
. Tri-state-Ausgang , Low aktiv

WR : . Daten schreiben von der CPU in den adressierten Speicher (write) bzw. Datenausgabe an die Peripherie
. Tri-state-Ausgang , Low aktiv

HALT : . CPU befindet sich im Halt-Zustand
. Eine weitere Befehls-Abarbeitung wird durch ein IT-Signal ausgelöst
. Refresh-Signale werden mit Hilfe von NOP-Befehlen ausgesendet

WAIT : . Warten der CPU (wait) wird durch ein eintreffendes Nullsignal (low aktiv) ausgelöst

INT : . Maskierbar. Interrupt (maskable interrupt request)
. Unterbrechungs-Anforderung an die CPU

NMI : . Nicht maskierbares Interrupt (non maskable interrupt)
. Interrupt höchster Priorität, bei Eintreffen des NMI-Signals wird ein RESTART-Befehl der Adresse 0066 H ausgelöst.

RESET: . Rücksetzen des Befehlszählers, der Register R und I
. Der Datenbus ist neutral (hochohmig), alle Ausgänge inaktiv

BUSRQ: . Adr.-Dat.-St.-Bus werden neutral, so daß sie von außen frei belegt werden können (bus request)

BUSAK: . Bestätigung der Bus-Neutralität (bus acknowledgement)

RFSH: . Aussenden der Refresh-Speicher-Adressen auf den ersten 7 Bit der Adreßleitung ($A_6 \ldots A_0$) für dynamische Speicher

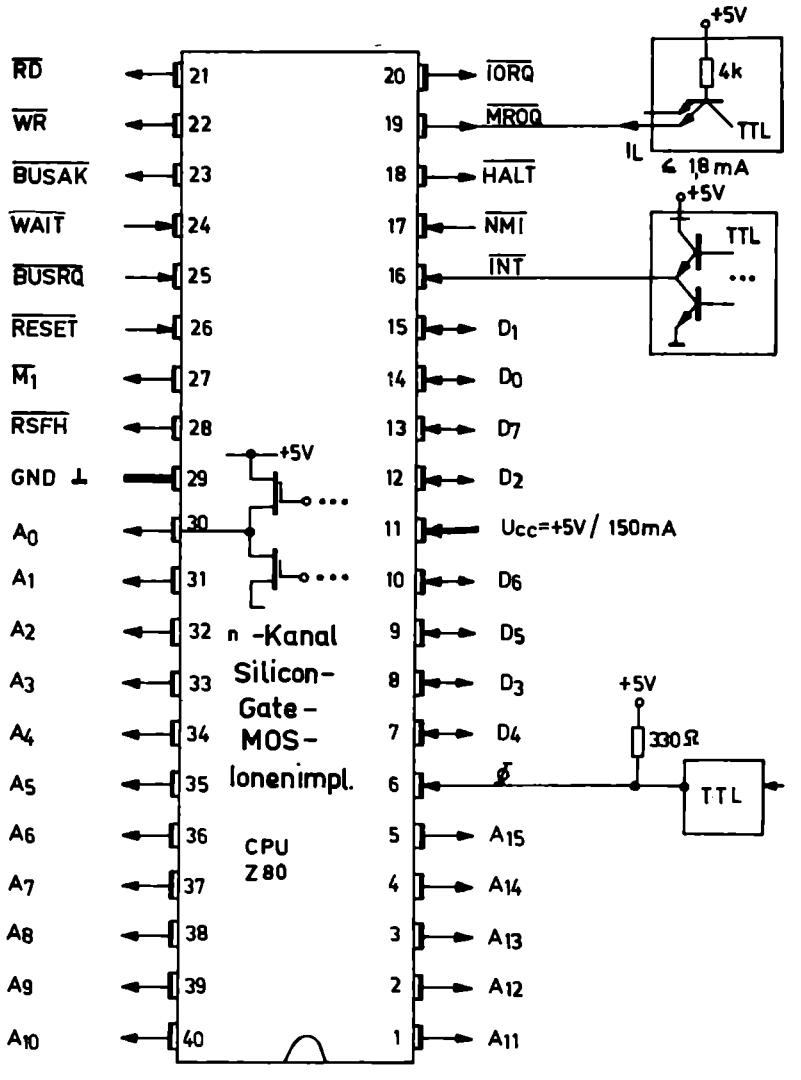


Bild 20 : Anschlußbelegung des Mikroprozessors Z80

b) Innerer Aufbau der CPU

Die Funktion des Mikroprozessors Z80 wird anhand der Blockschaltung, Bild 21 , erläutert:

- PC : . Befehlszähler, Programmzähler (program counter)
  . Bereitstellung der 16-Bit-Adresse für den aktuellen Befehl
- SP : . Stack-Pointer (Stapelzeiger)
  . 16-Bit-Adresse der zuletzt in den Stack (externer RAM) gegebenen Rücksprung-Adresse
  . LIFO (last in - first out) - Organisation
  . Mehrfach-Interrupts möglich
- IX, IY : . 16-Bit-Indexregister, unabhängig adressierbar
  . Besonders für Datentabellen geeignet
- I : . Interrupt-Säulen-Register
  . Bereitstellung der höchsten 8 Bit der indirekten Adresse, das Gerät liefert die niederen 8 Bit der Gesamtadresse
- R : . Refresh-Register für dyn. RAM
  . Zählerregister von 7 Bit Breite $A_6 \ldots A_0$
  . Durch Befehl ladbar
- A, F
  A',F' : . Akkumulator + Flag-Register (Kennzeichen-Flip-Flop)
  . Je 8 Bit
- B,C;D,E;H,L
  (B,C;D,E;H,L)' : . 12 allgemeine Datenregister je 8 Bit
  . 6 Doppelregister je 16 Bit
  . Umschaltbarkeit der Blöcke
- ALU : . Rechenwerk (arithmetic logic unit)
  . Realisierung der Operationen:
  Addition, Subtraktion, AND, OR, EXOR, Vergleich, Rotation, Erhöhen, Erniedrigen, Bit Setzen/Testen/Löschen
- Befehlsregister,
  Befehlsdecoder : . Ableitung aller internen Steuerzustände zur Befehlsausführung
  . Generierung der Steuersignale zur Status-Codierung

- CPU-Zeit- u. Ablaufsteuerung: . Generieren und Verarbeiten aller internen und externen Steuersignale in volldekodierter Form.

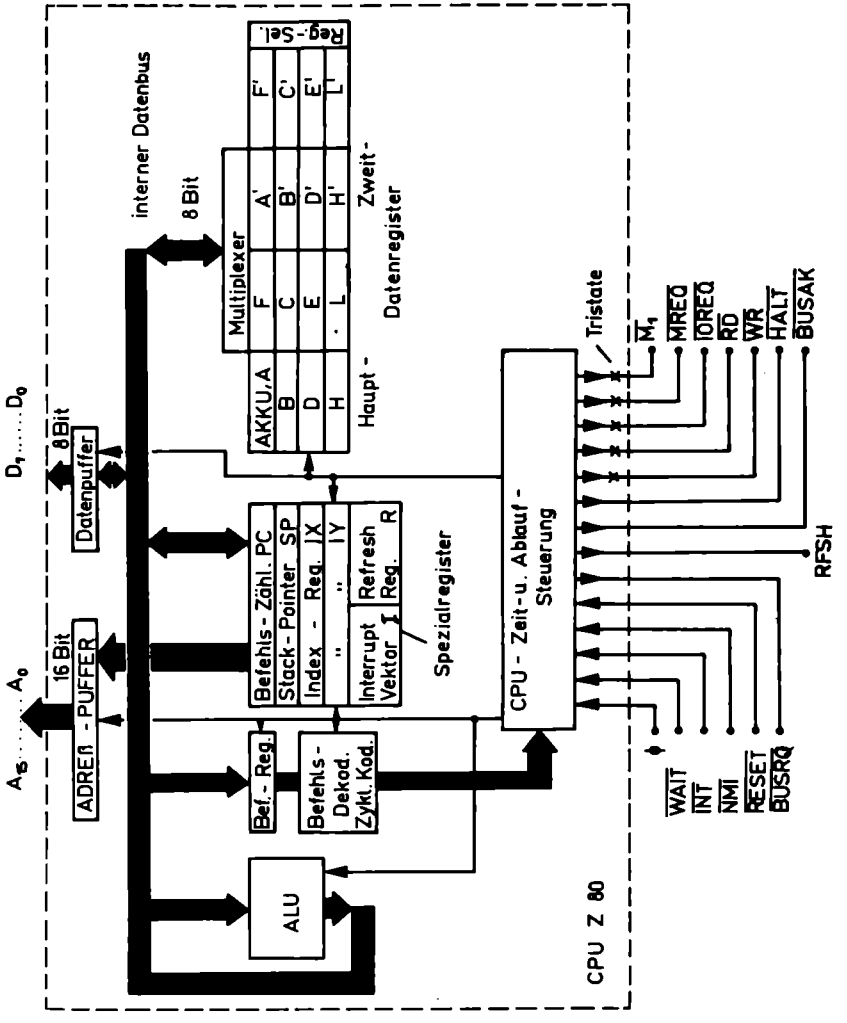


Bild 21 : Blockschaltung des Mikroprozessors Z80

c) Zeit- und Ablaufsteuerung der CPU Z80

Die Zeit- und Ablaufsteuerung ist durch wenige funktionsorientierte Maschinenzyklen charakterisiert. Ein M-Zyklus besteht aus 3 bis 6 T-Zyklen des Einphasen-Grundtaktes. Im Z80 werden folgende M-Zyklen unterschieden:

- Speicher adressieren, Befehle lesen
- Speicher adressieren, Daten lesen, Daten schreiben
- E/A-Tore adressieren, Daten lesen bzw. Daten schreiben
- Interrupt-Annahme
- Bus-Anforderung.

Die zwei wichtigsten M-Zyklen sollen näher erläutert werden:

- M_1-Zyklus: Befehls-Aufruf (Fetch-Zyklus)
  - Zu den Taktzeiten T_1 und T_2 wird der Inhalt des Befehlszählers A_0 ... A_{15} als Speicheradresse ausgesendet.
  - Mit dem Signal MREQ (low aktiv) wird der adressierte Speicher-Schaltkreis freigegeben (chip enable).
  - Mit RD aktiv (low) werden die Befehle aus dem Speicher auf den Datenbus gebracht.
  - Die CPU übernimmt diese Datenbusbelegung D_7 ... D_0 in der "Ein"-Phase.
  - Die Takte T_3 und T_4 dienen der internen Befehlsdekodierung und nach außen zum Senden der Auffrisch-Adresse (Refresh) für die dynamischen Speicher.
  - Das Signal RFSH gibt die Refresh-Adresse frei.
  - Liegt zum Takt T_2 ein Warte-Signal an (WAIT), so verlängert sich dieser Takt.
- Speicherzugriffe-Zyklen: Daten Lesen bzw. Schreiben
  - Zu den Taktzeiten T_1, T_2, T_3 wird der externe Speicherplatz adressiert.
  - Das Signal MREQ ist zur Speicher-Chip-Freigabe sowohl beim Lese- als auch beim Schreib-Zyklus aktiv.
  - Bei RD aktiv wird der Lesevorgang realisiert.
  - Bei WR aktiv wird der Schreibvorgang realisiert.
  - Die Datenübernahme vom Bus in die CPU erfolgt im Takt T_3 in der kurzen "Ein"-Phase.

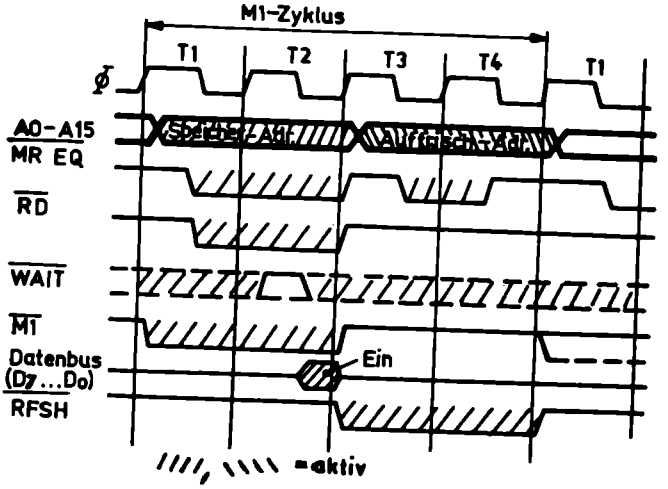


Bild 22 : Signale des M1-Zyklus des Z80

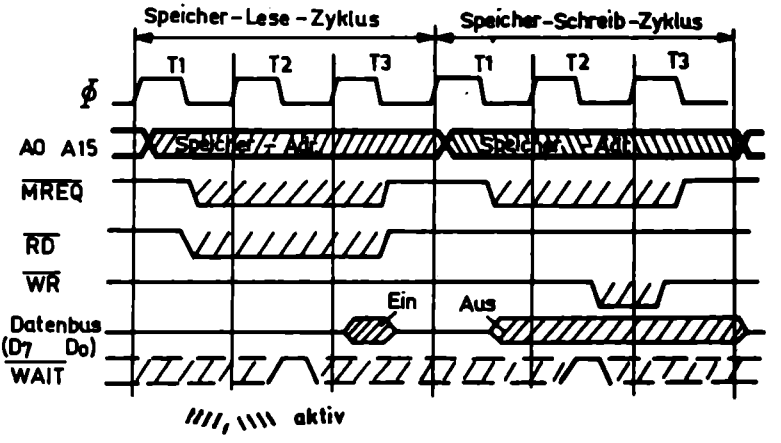


Bild 23 : Signale des Daten-Lese bzw. Daten-Schreib-Zyklus des Z80

. Die Datenbereitstellung von der CPU an den Bus erfolgt zu den Takten T_1, T_2 und T_3 in der "Aus"-Phase.
. Das Daten-Lesen oder -Schreiben wird verlängert, wenn im Takt T_2 ein Warte-Signal anliegt (WAIT).

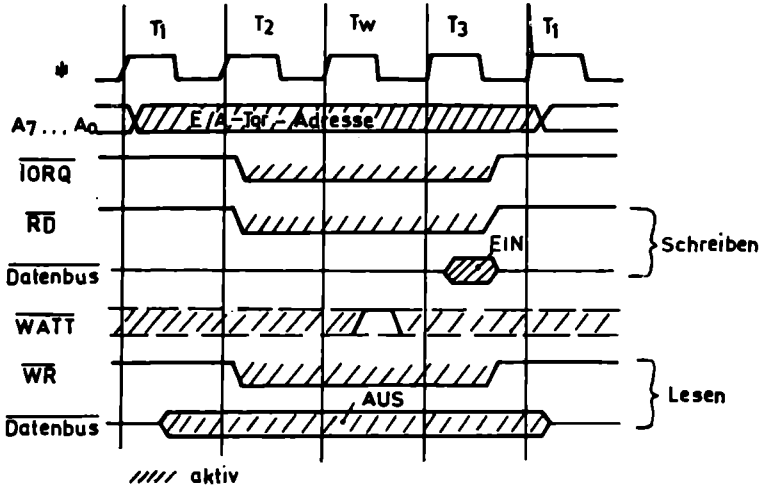


Bild 24 : Signale des Daten-E/A-Zyklus des Z80

- E/A-Zyklus: Daten-Ein- bzw. -Ausgabe
  . Bei Ein-Ausgabeoperationen über die adressierten Tore wird der Takt T_2 automatisch verdoppelt, indem ein Wartezyklus T_W hinzugefügt wird.

d) Befehle des Mikroprozessors Z80

Der Mikroprozessor Z80 enthält in seinen 158 Befehlen alle 78 Befehle des 8080 und 48 des U808D. Dieser Vorteil der maximalen Programm-Kompatibilität erzwingt im Z80 Kompromisse im Befehlsaufbau und dem Operationscode. So wird der Operationscode in 1, 2, oder 3 Byte untergebracht.
Die Tabelle 4 enthält die Beschreibung aller Z80-Befehle in

komprimierter Form. Darin bedeuten insbesondere:

- s : 8 Bit-Quellregister, Speicherzelle
- ss: 16 Bit-Quellregister, Speicherzelle
- d : 8 Bit-Zielregister
- dd: 16 Bit-Zielregister
- e : 8 Bit vorzeichenbehaftetes Zweierkomplement der Distanz bei relativen Sprüngen oder indizierter Adressierung
- n : 8 Bit-Binärzahl
- nn: 16 Bit-Binärzahl
- r : allgemeines 8 Bit-Register
- b : bezeichnet eine Bitposition in einem Register oder Speicher

In Tabelle 4 sind die Namen der Register ohne Klammern geschrieben, wenn ihre Inhalte gemeint sind, während die in Klammern angegebenen Register oder Daten die Adresse des damit angezeigten Speicherplatzes enthalten (Zeiger auf den Speicher).
Die Befehlsliste nach Tabelle 4 (1. bis 3. Teil) enthält folgende Befehlsgruppen:

- Ladebefehle: Sie beschreiben Transporte allgemeiner Daten von Quellregistern zu Zielregistern bzw. zwischen Registern und externen Speicherplätzen. Die Inhalte der Quellregister oder Quellspeicherplätze bleiben dabei stets erhalten.
- Registertausch: Der Registertausch entspricht einer internen Umschaltung zwischen den angegebenen Registerblöcken, so daß Datenrettungsroutinen bei Interrupt-Behandlung entfallen können.
- Blocktransporte: Von besonderer Bedeutung sind die Daten-Blocktransporte, da sie es gestatten, mit einem einzigen Befehl beliebig lange Daten-Blöcke von Quell-Speicherplätzen zu Ziel-Speicherplätzen zu transportieren.
- Blocksuchbefehle: Mit Hilfe dieser Befehle werden die Inhalte externer Speicher so lange mit einem vorgegebenen 8 Bit-Zeichen verglichen, bis dieses Zeichen gefunden ist oder das Ende des vorgegebenen Blockes erreicht ist.
- ALU-Befehle: Die arithmetisch-logischen Befehle bewirken die Durchführung der in Tabelle 4 angegebenen Operationen, wobei

der erste Operand stets aus dem Akkumulator und der zweite Operand aus einem internen Register oder einem adressierten externen Speicherplatz stammt. Das Resultat der Operation wird immer in den Akkumulator gebracht, so daß der erste Operand überschrieben wird.

- BCD-, Akku- und Flag-Operationen: Diese Befehle realisieren die BCD-Korrektur, das bitweise Zweierkomplement bzw. die Negation einer Binärzahl. Bei den Flag-Operationen wird das Carry-Flip-Flop mit seinem negierten Inhalt oder mit 1 gesetzt.
- Halt und Interrupt:
  Mit dem Halt-Befehl geht die CPU in den Halt-Zustand, wobei die Speicher-Auffrischadressen periodisch ausgesendet werden.
  Die programmbedingte Interrupt-Maskierung kann mit DI gesperrt und mit EI wieder freigegeben werden.
  Die Befehle IM0, IM1 und IM2 legen die Art der Interruptannahme fest.
- Rotation und Schiebebefehle: Schiebebefehle und zyklische Schiebebefehle (Rotation) ermöglichen es, die Inhalte von Registern oder adressierten Speicherplätzen einfach oder zyklisch zu verschieben. Diese Befehle sind für die ganzzahlige Multiplikation und Division von großer Bedeutung.
- Bit-Operationen: Mit Hilfe der Bit-Operationen können adressierte Bits in Registern oder in adressierten Speicherplätzen gesetzt , gelöscht oder getestet werden.
  Diese Befehle dienen vorzugsweise den Einzelbitoperationen in steuerungstechnischen Aufgabenstellungen.

Ein-Ausgabe-Operationen:
Die E/A-Befehle bewirken den Datentransport zwischen adressierten E/A-Toren (E/A-Geräten der Peripherie) und allgemeinen Registern bzw. adressierten Speicherplätzen. Die Befehle umfassen Einzel-Byte-Transporte und Blocktransporte bis zu 256 Byte Länge.

Sprungbefehle:
Sprungbefehle gestatten den bedingten (Bedingungs-Flip-Flop) oder unbedingten Sprung von der aktuellen Befehlsadresse zu einer angegebenen neuen Adresse.

Unterprogramm-Rufbefehle:

Mit den Unterprogramm-Rufbefehlen wird die Adresse des aufgerufenen Unterprogrammes in das Befehlsregister geladen, nachdem seine aktuelle Adresse in den durch den Stack adressierten externen Speicherplatz gebracht worden ist.

Rückesprünge, Restart:

Der Restart-Befehl ist eigentlich ein Rufbefehl zu einer im niederwertigen Adreßteil (L) angegebenen Adresse, während die Rückesprungbefehle nach der Abarbeitung eines Unterprogrammes die Rückkehr zu der zuletzt aufgehobenen Adresse einleiten. Die Beeinflussung der Bedingungs-Flip-Flops durch die entsprechenden Befehle ist in Tabelle 5 beschrieben.
Die vollständigen Befehlscode des Mikroprozessors Z80 sind in der Mnemonik-Hexadezimalcode-Tabelle 6 (Teile 1 bis 3) beschrieben. Tabelle 6 enthält die Zuordnung zum ersten Byte des Befehlscode. Aus ihr folgen die Tabellen CB, DD und ED des zweiten Byte bzw. DD/CB und FD/CB des dritten Byte aus den weiteren Tabellen.

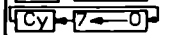
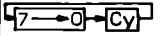
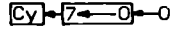
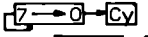
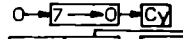
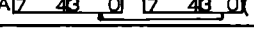
2.1.6. Mikroprozessor Zilog Z8 /99/

Der Mikroprozessor Z8 ist im Unterschied zum Z80 als Ein-Chip-Mikroprozessor mit internen Speichern, Ein-Ausgabe-Toren, Taktgenerator, Zähler und einer Zeitsteuerung realisiert (Bild 25). Damit ist er in hervorragender Weise als Instrumenten- und Geräterechner prädestiniert. Eine große Anwenderflexibilität wird auch dadurch erreicht, daß Tor-Anschlüsse in der Funktion umprogrammierbar sind. Die Programmentwicklung des Z8 ist vollständig mit Hilfe der Entwicklungsmittel des Z80 möglich. Die spezielle Funktion des Z8 wird mit dem letzten Maskenschritt durch die ROM-Programmierung festgelegt. Daraus folgt die Notwendigkeit großer Gerätestückzahlen bei der Anwendung des Z8.
Wichtige technische Daten:

- Technologie:	n-Kanal-Silicon-Gate-Technik, Ionenimplantation
- Betriebsspannung:	+5 V
- Taktfrequenz:	4 MHz
- TTL-Kompatibilität	
- ROM-Kapazität:	2K Byte intern
- RAM-Kapazität:	0,25K Byte intern
- externer Speicher: erweiterbar	max. 64K Byte RAM und max. 64K Byte ROM

Tab. 4 Befehlsliste des Mikroprozessors Z80 /64/ 1. Teil

	Befehl	Wirkung des Befehls	Beschreibung des Befehls	Bemerkungen
8 Bit Laden	LD r,s	r←s	Lade Register r mit s	s=r,n,(HL),(IX+e),(IY+e)
	LD d,r	d←r	d mit r	d=(HL),r,(IX+e),(IY+e)
	LD d,n	d←n	d mit n	d=(HL),(IX+e),(IY+e)
	LD A,s	A←s	A mit s	s=(BC),(DE),(nn),I,R
	LD d,A	d←A	d mit A	d=(BC),(DE),(nn),I,R
16 Bit Laden	LD dd,nn	dd←nn	Lade Doppelregister dd	dd=BC,DE,HL,SP,IX,IY
	LD dd,(nn)	dd←(nn)	nn=16 Bit,(nn)=Adr.	dd=BC,DE,HL,SP,IX,IY
	LD (nn),ss	(nn)←ss	Lade Speicher mit Reg.	ss=BC,DE,HL,SP,IX,IY
	LD SP,ss	SP←ss	Lade Stack-Pointer	ss=HL,IX,IY
	PUSH ss	(SP-1)←ssH;(SP-2)←ssL	Lade Kellerspeicher	ss=BC,DE,HL,AF,IX,IY
	POP dd	ddL←(SP);ddH←(SP+1)	Entlade Kellerspeicher	dd=BC,DE,HL,AF,IX,IY
Regist. Tausch	EX DE,HL	DE↔HL	Doppelregisterumschaltg.	
	EX AF,AF'	AF↔AF'	Doppelregisterumschaltg.	
	EXX	(BCDEHL)↔(BCDEHL)'	Blockumschaltung	
	EX (SP),ss	(SP)↔ssL (SP+1)↔ssH	Aust.Stack u.Doppelreg.	ss=HL,IX,IY
Block Transport,	LDI	(DE)←(HL),DE←DE+1 HL←HL+1,BC←BC-1	Blocktransfer im Speicher Adresserhöhung	
	LDIR	(DE)←(HL),DE←DE+1 HL←HL+1,BC←BC-1	Blocktransfer im Speicher Adresserhöhung	Repetieren bis BC=0
	LDD	(DE)←(HL),DE←DE-1 HL←HL-1,BC←BC-1	Blocktransfer im Speicher Adresserniedrigung	
	LDDR	(DE)←(HL),DE←DE-1 HL←HL-1,BC←BC-1	Blocktransfer im Speicher Adresserniedrigung	Repetieren bis BC=0
Block suchen	CPI	A-(HL),HL←HL+1,BC←BC-1	Suchen von Sp.Blöcken	
	CPIR	A-(HL),HL←HL+1,BC←BC-1	Adresserhöhung	Repet.bis BC=0 o.A=(HL)
	CPD	A-(HL),HL←HL-1,BC←BC-1	Suchen von Sp.Blöcken	
	CPDR	A-(HL),HL←HL-1,BC←BC-1	Adreßerniedrigung	Repet.bis BC=0 o.A=(HL)
8 Bit ALU-Operationen	ADD s	A←A+s	Addition von s zu A	
	ADC s	A←A+s+Cy	Addition s,Cy zu A	s=r,n,(HL),(IX+e)
	SUB s	A←A-s	Subtraktion s von A	(IY+e)
	SBC s	A←A-s-Cy	Subtraktion s,Cy von A	
	AND s	A←A∧s	log.UND von s u. A	Cy=Carry FF,
	OR s	A←A∨s	log.ODER s, A	Resultat stets in A
	XOR s	A←A⊻s	exclusiv ODER s, A	
	CP s	A-s	Vergleich s mit A	s=r,n(HL),(IX+e),(IY+e)
	INC d	d←d+1	Vergrößerung Inh.v.d	d=r, (HL),(IX+e),(IY+e)
	DEC d	d←d-1	Verkleinerung " v.d	

	Befehl	Wirkung des Befehls	Beschreibung des Befehls	Bemerkungen
16 Bit arith. Operationen	ADD HL,ss	HL←HL+ss	Zwei-Byte-Addition	ss=BC,DE,HL,SP
	ADC HL,ss	HL←HL+ss+Cy	Zwei-Byte-Addition	
	SBC HL,ss	HL←HL-ss-Cy	Zwei-Byte-Subtraktion	
	ADD IX,ss	IX←IX+ss	Zwei-Byte-Addition	ss=BC,DE,IX,SP
	ADD IY,ss	IY←IY+ss	Zwei-Byte-Addition	ss=BC,DE,IY,SP
	INC dd	dd←dd+1	Vergrößerung Inh.v.dd	dd=BC,DE,HL,SP,IX,IY
	DEC dd	dd←dd-1	Verkleinerung Inh.v.dd	dd=BC,DE,HL,SP,IX,IY
BCD,Akku Flag-Op.	DAA	A ← gepackte BCD von A	BCD-Korrekt.,ADD o. SUB	Operanden im gep. BCD
	CPL	A ← $\overline{A}$	bitweises Komplement	
	NEG	A ← 00-A	bitw. Kompl. +1	Cy = Carry - FF
	CCF	Cy ← $\overline{Cy}$	Zust.des Cy wird neg.	
	SCF	Cy←1	Carry - FF wird 1	
Halt und Interrupt	NOP	Keine Operation		Refresh-Adr. aussenden
	HALT	Halt der CPU		
	DI	IFF←0	Interrupt sperren	IFF = Interrupt - FF
	EI	IFF←1	Interrupt freigeben	
	IMO	Befehl vom Bus		
	IM1	CALL zur Adr.RST0038H	IT-bedingter Restart	
	IM2	CALL zur Adr.AH,AL	AH aus Reg.I,AL vom Bus	AH(höherw.),AL(nied.w.)
Rotation u.Schiebe-Operationen	RLC s		Linksrotieren	
	RL s		Linksrot.über Cy	
	RRC s		Rechtsrotieren	S=r,(HL),(IX+e),(IY+e)
	RR s		Rechtsrotieren über Cy	
	SLA s		Linksschieben	Null als Eingang
	SRA s		Rechtsschieben	D7 als Eingang
	SRL s		Rechtsschieben	
	RLD		Tetraden-Rotieren l.	Register-Speicher-Reg.
	RRD		Tetraden-Rotieren r.	

Tab. 4 Befehlsliste des Mikroprozessors Z 80 /64/, 2. Teil

	Befehl	Wirkung des Befehls	Beschreibung des Befehls	Bemerkungen
Bit-Op.	BIT b,s	Z←s̄b	Einzelbit-Testen	Z=Zero Flag,b=Bit-s=r.(HL), position (IX+e),(IY+e)
	SET b,s	sb←1	Einzelbit-Setzen	
	RES b,s	sb←0	Einzelbit-Rücksetzen	
Ein-Ausgabe-Operationen	INA,(n)	A←(n)	Dateneingabe vom Tor n	
	INr,(C)	r←(C)	Eing.,Toradr.von Reg.C	
	INI	(HL)←(C),HL←HL+1,B←B-1	Blockeingabe,Sp.Adr.erh.	
	INIR	(HL)←(C),HL←HL+1,B←B-1	Blockeingabe,Sp.Adr.erh.	Repetieren bis B=0
	IND	(HL)←(C),HL←HL-1,B←B-1	Blockeingabe,Sp.Adr.ern.	
	INDR	(HL)←(C),HL←HL-1,B←B-1	Blockeingabe,Sp.Adr.ern.	Repetieren bis B=0
	OUT (n),A	(n)←A	Datenausgabe auf Tor n	
	OUT (C),r	(C)←r	Ausg.,Toradr.von Reg.C	
	OUTI	(C)←(HL),HL←HL+1,B←B-1	Blockausg.,Sp.Adr.erh.	
	OTIR	(C)←(HL),HL←HL+1,B←B-1	Blockausg.,Sp.Adr.erh.	Repetieren bis B=0
	OUTO	(C)←(HL),HL←HL-1,B←B-1	Blockausg.,Sp.Adr.ern.	
	OTDR	(C)←(HL),HL←HL-1,B←B-1	Blockausg.,Sp.Adr.ern.	Repetieren bis B=0
Sprung-Befehle	JP nn	PC←nn	unbed.Sprung zu nn	
	JP CC,nn		bedingter Sprung	CC{NZ PO / Z PE / NC P / C M}
	JR e	PC←PC+e	unbed.Sprung um e-2	
	JR kk,e		bedingter Sprung	kk{NZ NC / Z C}
	JP (ss)	PC←ss	unbed.Sprung,Adr.in ss	CC,kk=Bedingungs-FF
	DJNZ e	PC←PC+e,B←B-1	unbed.Sprung um e-2	ss=HL,IX,IY, bis B=0
Unterprogr.	CALL nn	(SP-1)←PCH (SP-2)←PCL,PC←nn	aktuelle Adr.in Stack Unterprogr.Adr.nn in PC	
	CALL CC,nn		akt.Adr.in Stack,Unterprogr,Adr.in PC,bedingt	CC{NZ PO / Z PE / NC P / C M}
Rücksprünge,st. Re-	RST L	(SP-1)←PCH,(SP-2)←PCL, PCH←0,PCL←L	akt.Adr.in Stack, Restartadr.L in PC	PCH = höherwert. Teil PCL = niederw. Teil
	RET	PCL←(SP),PCH←(SP+1)	Rücksprung vom Unterprogr. in die im Stack aufgehobene Adresse	
	RET CC	wie RET,jedoch bedingt		CC{NZ PO / Z PE / NC P / C M}
	RETI	Rücksprg. vom IT		
	RETN	Rücksprg. vom nicht-maskierten IT		

Tab. 4 Befehlsliste des Mikroprozessors Z80 /64/ 3. Teil

Befehle	C	Z	P	S	N	H	Erklärungen, Bemerkungen
ADD s ;ADC s	!	!	V	!	0	!	!=Flag wird entsprechend
SUB s ;SBC s ;SPs ;NEG	!	!	V	!	1	!	Ergebnis 1 oder 0 gesetzt
AND s	0	!	P	!	0	1	.=Flag wird nicht beeinflußt
OR s ; XOR s	0	!	P	!	0	0	0=Flag wird gelöscht
INC s	.	!	V	!	0	!	1=Flag wird gesetzt
DEC s	.	!	V	!	1	!	X=Flag ist unbestimmt
ADD DD,ss	!	.	.	.	0	X	P=P/V-Flag
ADC HL,ss	!	!	V	!	0	X	P=Parität setzt P/V-Flag
SBC HL,ss	!	!	V	!	1	X	V=Überlauf setzt P/V-Flag
RLA;RLCA;RRA;RRCA	!	.	.	.	0	0	
RL s ;RLC s ;RR s ;RRC s	!	!	P	!	0	0	C=1,wenn Übertrag entsteht
SLA s ;SRA s ;SRL s	!	!	P	!	0	0	Z=1,wenn Ergebnis Null ist
RLD ;RRD	.	!	P	!	0	0	S=1,wenn höchstes Bit 1 ist
DDA	!	!	P	!	.	!	P/V:P=1 bei Parität log.Op.
CPL	.	.	.	.	1	1	V=1 bei Überl.arit.Op.
SCF	1	.	.	.	0	0	H=1 bei Halb-Byte-Überlauf
CCF	!	.	.	.	0	X	N=1 bei Subtraktion
IN r,(C)	.	!	P	!	0	0	
IN ;IND ;OUTI ;OUTD	.	!	X	X	1	X	
INIR;INDR;OTIR;OTDR	.	1	X	X	1	X	
LDI ;LDD	.	X	!	X	0	0	Z=0, wenn B ≠ 0
LDIR;LDDR	.	X	0	X	0	0	P=1, wenn BC≠ 0
CPI ;CPIR;CPD ;CPDR	.	!	!	X	1	X	Z=1, wenn A=(HL),P=1,w.BC≠0
LDA,I ;LDA,R	.	!	!	!	0	0	(IFF)→(P/V),IFF=Interrupt FF
BIT b,s	.	!	X	X	0	1	

Tabelle 5: Übersicht zum Verhalten der Bedingungs-Flip-Flops (Flags) bei der Ausführung der angegebenen Befehle des Mikroprozessors Z80

Tab. 6 Vollständige Befehlscode des Mikroprozessors Z80 /66/, (Teil 1: erstes Byte des Operationscode 00..FF)

NOP	DINZ e	IR NZ,e	IR NC,e	LD B,B	LD D,B	LD H,B	LD (HL)B	ADD A,B	SUB B	AND B	OR B	RET NZ	RET NC	RET PO	RET P	0
LD BC,nn	LD DE,nn	LD HL,nn	LD SP,nn	LD B,C	LD D,C	LD H,C	LD (HL)C	ADD A,C	SUB C	AND C	OR C	POP BC	POP DE	POP HL	POP AF	1
LD (BC)A	LD (DE)A	LD nn,HL	LD (nn)A	LD B,D	LD D,D	LD H,D	LD (HL)D	ADD A,D	SUB D	AND D	OR D	IP NZ,nn	IP NC,nn	IP PO,nn	IP P,nn	2
INC BC	INC DE	INC HL	INC SP	LD B,E	LD D,E	LD A,E	LD (HL)E	ADD A,E	SUB E	AND E	OR E	IP nn	OUT port,A	EX (SP)HL	DI	3
INC B	INC D	INC H	INC (HL)	LD B,H	LD D,H	LD H,H	LD (HL)H	ADD A,H	SUB H	AND H	OR H	CALL NZ,nn	CALL NC,nn	CALL PO,nn	CALL P,nn	4
DEC B	DEC D	DEC H	DEC (HL)	LD B,L	LD D,L	LD H,L	LD (HL)L	ADD A,L	SUB L	AND L	OR L	PUSH BC	PUSH DE	PUSH HL	PUSH AF	5
LD B,n	LD D,n	LD H,n	LD (HL)n	LD B(HL)	LD D(HL)	LD H(HL)	HALT	ADD A(HL)	SUB (HL)	AND (HL)	OR (HL)	ADD A,nn	SUB n	AND n	OR n	6
RLCA	RLA	DAA	SFC	LD B,A	LD D,A	LD H,A	LD (HL)A	ADD A,A	SUB A	AND A	OR A	RST 0	RST 10H	RST 20H	RST 30H	7
EX AF,AF	IR e	IR Z,e	IR C,e	LD C,B	LD E,B	LD L,B	LD A,B	ADC A,B	SBC A,B	XOR B	CP B	RET Z	RET C	RET PE	RET M	8
ADD HL,BC	ADD HL,DE	ADD HL,HL	ADD HL,SP	LD C,C	LD E,C	LD L,C	LD A,C	ADC A,C	SBC A,C	XOR C	CP C	RET	EXX	IP (HL)	LD SP,HL	9
LD A(BC)	LD A(DE)	LD HL,nn	LD A(nn)	LD C,D	LD E,D	LD L,D	LD A,D	ADC A,D	SBC A,D	XOR D	CP D	IP Z,nn	IP C,nn	IP PE,nn	IP M,nn	A
DEC BC	DEC DE	DEC HL	DEC SP	LD C,E	LD E,E	LD L,E	LD A,E	ADC A,E	SBC A,E	XOR E	CP E	Tab. CB	IN A,port	EX PE,HL	EI	B
INC C	INC E	INC L	INC A	LD C,H	LD E,H	LD L,H	LD A,H	ADC A,H	SBC A,H	XOR H	CP H	CALL Z,nn	CALL C,nn	CALL PE,nn	CALL M,nn	C
DEC C	DEC E	DEC L	DEC A	LD C,L	LD E,L	LD L,L	LD A,L	ADC A,L	SBC A,L	XOR L	CP L	CALL nn	TAb. DD	TAb. ED	TAb. FD	D
LD C,n	LD E,n	LD L,n	LD A,n	LD C(HL)	LD E(HL)	LD L(HL)	LD A(HL)	ADC A(HL)	SBC A(HL)	XOR (HL)	CP (HL)	ADC A,n	SBL A,nn	XOR n	CP n	E
RRCA	RRA	CPL	CCF	LD C,A	LD E,A	LD L,A	LD A,A	ADC A,A	SBC A,A	XOR A	CP A	RST 8	RST 18H	RST 28H	RST 38H	F
0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	

Tabelle CB

Erstes Byte CB																
RLC B	RL B	SLA B		BIT 0,B	BIT 2,B	BIT 4,B	BIT 6,B	RES 0,B	RES 2,B	RES 4,B	RES 6,B	SET 0,B	SET 2,B	SET 4,B	SET 6,B	0
RLC C	RL C	SLA C		BIT 0,C	BIT 2,C	BIT 4,C	BIT 6,C	RES 0,C	RES 2,C	RES 4,C	RES 6,C	SET 0,C	SET 2,C	SET 4,C	SET 6,C	1
RLC D	RL D	SLA D		BIT 0,D	BIT 2,D	BIT 4,D	BIT 6,D	RES 0,D	RES 2,D	RES 4,D	RES 6,D	SET 0,D	SET 2,D	SET 4,D	SET 6,D	2
RLC E	RL E	SLA E		BIT 0,E	BIT 2,E	BIT 4,E	BIT 6,E	RES 0,E	RES 2,E	RES 4,E	RES 6,E	SET 0,E	SET 2,E	SET 4,E	SET 6,E	3
RLC H	RL H	SLA H		BIT 0,H	BIT 2,H	BIT 4,H	BIT 6,H	RES 0,H	RES 2,H	RES 4,H	RES 6,H	SET 0,H	SET 2,H	SET 4,H	SET 6,H	4
RLC L	RL L	SLA L		BIT 0,L	BIT 2,L	BIT 4,L	BIT 6,L	RES 0,L	RES 2,L	RES 4,L	RES 6,L	SET 0,L	SET 2,L	SET 4,L	SET 6,L	5
RLC (HL)	RL (HL)	SLA (HL)		BIT 0(HL)	BIT 2(HL)	BIT 4(HL)	BIT 6(HL)	RES 0(HL)	RES 2(HL)	RES 4(HL)	RES 6(HL)	SET 0(HL)	SET 2(HL)	SET 4(HL)	SET 6(HL)	6
RLC A	RL A	SLA A		BIT 0,A	BIT 2,A	BIT 4,A	BIT 6,A	RES 0,A	RES 2,A	RES 4,A	RES 6,A	SET 0,A	SET 2,A	SET 4,A	SET 6,A	7
RRC B	RR B	SRA B	SRL B	BIT 1,B	BIT 3,B	BIT 5,B	BIT 7,B	RES 1,B	RES 3,B	RES 5,B	RES 7,B	SET 1,B	SET 3,B	SET 5,B	SET 7,B	8
RRC C	RR C	SRA C	SRL C	BIT 1,C	BIT 3,C	BIT 5,C	BIT 7,C	RES 1,C	RES 3,C	RES 5,C	RES 7,C	SET 1,C	SET 3,C	SET 5,C	SET 7,C	9
RRC D	RR D	SRA D	SRL D	BIT 1,D	BIT 3,D	BIT 5,D	BIT 7,D	RES 1,D	RES 3,D	RES 5,D	RES 7,D	SET 1,D	SET 3,D	SET 5,D	SET 7,D	A
RRC E	RR E	SRA E	SRL E	BIT 1,E	BIT 3,E	BIT 5,E	BIT 7,E	RES 1,E	RES 3,E	RES 5,E	RES 7,E	SET 1,E	SET 3,E	SET 5,E	SET 7,E	B
RRC H	RR H	SRA H	SRL H	BIT 1,H	BIT 3,H	BIT 5,H	BIT 7,H	RES 1,H	RES 3,H	RES 5,H	RES 7,H	SET 1,H	SET 3,H	SET 5,H	SET 7,H	C
RRC L	RR L	SRA L	SRL L	BIT 1,L	BIT 3,L	BIT 5,L	BIT 7,L	RES 1,L	RES 3,L	RES 5,L	RES 7,L	SET 1,L	SET 3,L	SET 5,L	SET 7,L	D
RRC (HL)	RR (HL)	SRA (HL)	SRL (HL)	BIT 1(HL)	BIT 3(HL)	BIT 5(HL)	BIT 7(HL)	RES 1(HL)	RES 3(HL)	RES 5(HL)	RES 7(HL)	SET 1(HL)	SET 3(HL)	SET 5(HL)	SET 7(HL)	E
RRC A	RR A	SRA A	SRL A	BIT 1,A	BIT 3,A	BIT 5,A	BIT 7,A	RES 1,A	RES 3,A	RES 5,A	RES 7,A	SET 1,A	SET 3,A	SET 5,A	SET 7,A	F
0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	

Tab.6: Vollständige Befehlscode des Mikroprozessors Z80 /66/, (Teil 2: zweites Byte des Op.code)

Tabellen DD und FD

Erstes Byte DD für x=Ix, FD für x=Iy

9	ADDX,BC	A6	AND (x+e)
19	ADDX,DE	AE	XOR (x+e)
21	LD X,nn	B6	OR (x+e)
22	LD (nn)X	BE	CP (x+e)
23	INC X	CB	Tab CD/CB
29	ADD X,X	E1	POP X
2A	LD X(nn)	E3	EX (SP)X
2B	DEC X	E5	PUSH X
34	INC(x+e)	E9	IP (x)
35	DEC(x+e)	F9	LD SP,X
36	LD (x+e),n		
39	ADD X,SP		
46	LD B(x+e)		
4E	LD C(x+e)		
56	LD D(x+e)		
5E	LD E(x+e)		
66	LD H(x+e)		
6E	LD L(x+e)		
70	LD (x+e),B		
71	LD (x+e),C		
72	LD (x+e),D		
73	LD (x+e),E		
74	LD (x+e),H		
75	LD (x+e),L		
77	LD (x+e),A		
7E	LD A(x+e)		
86	ADDA(x+e)		
8E	ADCA(x+e)		
96	SUB (x+e)		
9E	SBCA(x+e)		

Tab.DD/CB+FD/CB

Erstes Byte DD(Ix) oder FD(Iy), zweites Byte CB

6	RLC (e+x)
E	RRC (e+x)
16	RL (e+x)
1E	RR (e+x)
26	SLA (e+x)
2E	SRA (e+x)
3E	SRL (x+e)
46	BIT 0(x+e)
4E	BIT 1(x+e)
56	BIT 2(x+e)
5E	BIT 3(x+e)
66	BIT 4(x+e)
6E	BIT 5(x+e)
76	BIT 6(x+e)
7E	BIT 7(x+e)
86	RES 0(x+e)
8E	RES 1(x+e)
96	RES 2(x+e)
9E	RES 3(x+e)
A6	RES 4(x+e)
AE	RES 5(x+e)
B6	RES 6(x+e)
BE	RES 7(x+e)
C6	SET 0(x+e)
CE	SET 1(x+e)
D6	SET 2(x+e)
DE	SET 3(x+e)
E6	SET 4(x+e)
EE	SET 5(x+e)
F6	SET 6(x+e)
FE	SET 7(x+e)

Tabelle ED

Erstes Byte ED

IN B(C)	IN D(C)	IN H(C)		LDI	LDIR	0
OUT (C)B	OUT (C)D	OUT (C)H		CPI	CPIR	1
SBC HL,BC	SBC HL,DE	SBC HL,HL	SBC HL,SP	INI	INIR	2
LD (nn)BC	LD (nn)DE		LD (nn)SP	OUTI	OUTIR	3
NEG						4
RETN						5
IM 0	IM 1					6
LD I,A	LD A,I	RRD				7
IN C(C)	IN E(C)	IN L(C)	IN A(C)	LDD	LDDR	8
OUT (C)C	OUT (C)E	OUT (C)L	OUT (C)A	CPD	CPDR	9
ADC HL,BC	ADC HL,DE	ADC HL,HL	ADC HL,SP	IND	INDR	A
LD BC(nn)	LD DE(nn)		LD SP(nn)	OUTD	OTDR	B
						C
RETI						D
	IM 2					E
		RLD				F
4	5	6	7	A	B	

Tab. 6 Vollständige Befehlscode des Mikroprozessors Z80 /66/
(Teil 3: zweites oder drittes Byte des Op.Code)

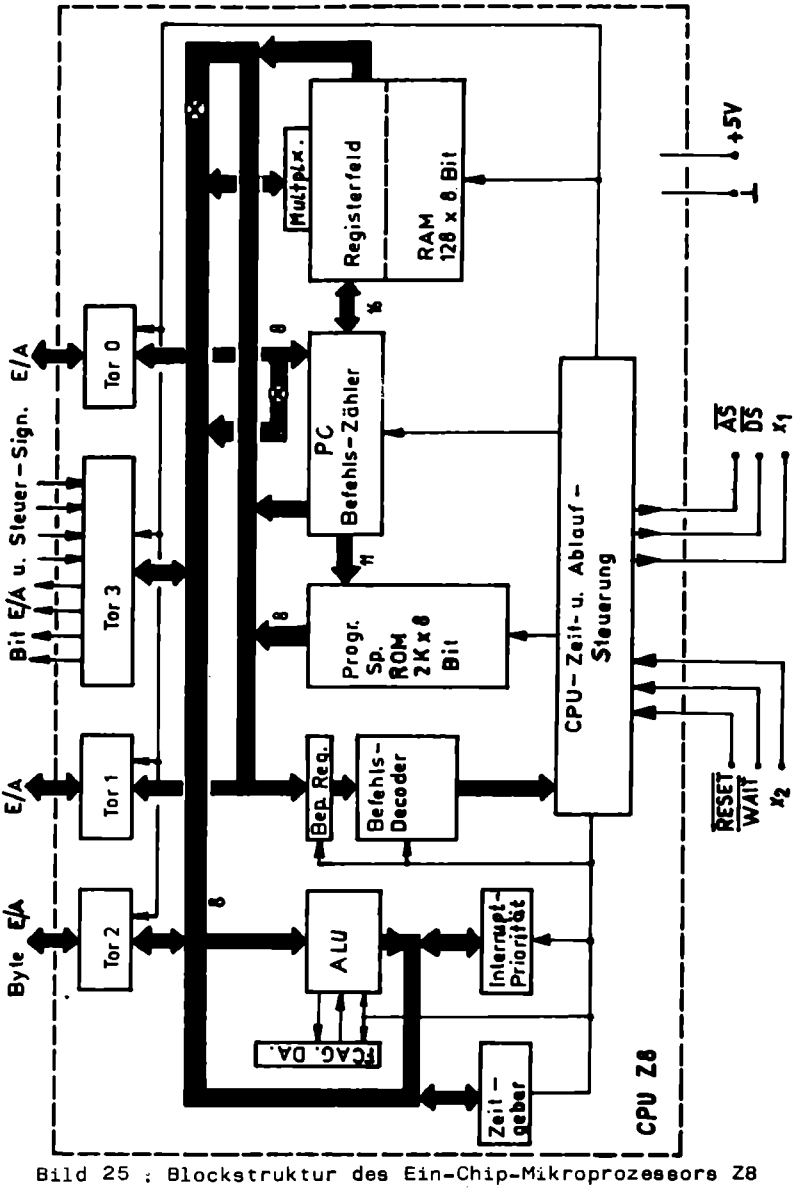


Bild 25 : Blockstruktur des Ein-Chip-Mikroprozessors Z8

- E/A-Tore : 4 Tore je 8 Bit (parallel, seriell)
- Zähler : programmierbar als Zeitgeber

2.1.7. Mikro-Controller /50/, /51/

Spezielle Mikroprozessoren werden auch als Mikro-Controller bezeichnet. Während die universellen Mikroprozessoren auf Grund ihrer Wortstruktur rechentechnische Aufgaben effektiv lösen, eignen sich Mikro-Controller als überwiegend logische Prozessoren für Ein-Bit-Operationen der Steuerungstechnik. Die Hauptanwendung ist damit bei der Realisierung programmierbarer Steuerungen zu finden.
Die Grundstruktur logischer Prozessoren besteht aus den Blöcken:

- Zentrale Verarbeitungseinheit
- Programmspeicher
- Eingabemodul (Multiplexer, Pufferregister)
- Ausgabemodul (Demultiplexer, Ausgaberegister).

2.1.8. Datenvergleich von Mikroprozessoren

In der Tabelle 7 sind die wichtigsten Daten von Mikroprozessoren (CPU) der PMOS-, NMOS-, ECL- und I^2L-Technik zusammengestellt. Im Unterschied zu allen anderen angegebenen Mikroprozessoren ist der TMS 0400 in Bit-Slice-Systemtechnik aufgebaut. Das heißt, besitzt ein Prozessor-Chip eine Verarbeitungsbreite von z. B. 4 Bit, so ist eine Erweiterung und damit eine Problemanpassung der Verarbeitungsbreite durch Kaskadieren möglich (4, 8, 12 ... 64 Bit). Zugleich ist mit den auf hohe Verarbeitungsgeschwindigkeiten orientierten Bit-Slice-Prozessoren die anwendungsorientierte Definition von Mikrobefehlen möglich /72/, d. h., sie sind mikroprogrammierbar.

Typ	Jahr	Wort-Länge	Zyklus-Zeit, µs	Speicher-Adr.	Befehle	Betriebs Spg., V	Tech.
MCS 8008	1972	8 Bit	12	16 K	48	+5,-9	PMOS
MCS 8080	1974	8 Bit	2	64 K	78	+5,-9, -12	NMOS
MCS 4040	1975	4 Bit	10,8	9 K	60	+5,-10	NMOS
MCS 8085	1978	8 Bit	1,3	64 K	78	+5	NMOS
MCS 8048	1976	8 Bit	1,5		96	+5	NMOS
Z 80	1974	8 Bit	1,6	64 K	158	+5	NMOS
M6800	1974	8 Bit	8	64 K	72	+5	NMOS
TMS 0400	1975	4... 64 Bit	0,1... 0,5		512 Mikro		I^2L
MC 9900	1975	16 Bit	7,5	64 K	69	+5,-5, -12	NMOS
SBP 10800	1976	4 Bit	0,055			+5	ECL
SBP 9900	1976	16 Bit	0,33	64 K	69		I^2L
Z 8	1978	16 Bit	1,5	64 K	158	+5	NMOS
9440	1977	16 Bit		32 K	72	+5	I^2L
F8	1975	8 Bit	2	64 K	72	+5,-12	NMOS
Z 800	1978	16 Bit			wie PDP 11	+5	NMOS
8086	1978	16 Bit	1	64 K		+5	NMOS

Tabelle 7: Datenvergleich von Mikroprozessoren

2.2. Mikroprozessor-Speicher

Zur Mikroprozessor-Systemtechnik gehört ein ebenfalls in hochintegrierter Halbleitertechnik realisiertes und an die Mikroprozessoren voll angepaßtes Spektrum von Speichern /18/, /28/, /35/, /49/, /65/. Sie besitzen unabhängig von ihrer Herstellungstechnologie grundsätzlich TTL-Kompatibilität, so daß ein Austausch von Speichern beliebiger Art und Kapazität möglich ist. Die Speicheradressierung in der CPU setzt lediglich die Byte-Organisation der Speicherplätze voraus, da sich jede Speicheradresse auf ein Wort (Halbwort, Viertelwort) je nach Verarbeitungsbreite bezieht.

2.2.1. ROM's

Die Gruppe der Festwertspeicher ROM (read only memory) hat die Aufgabe, als Nur-Lese-Speicher einmal eingeschriebene Daten oder Befehle zerstörungsfrei für ein beliebig häufiges Lesen bereitzustellen. Die wichtigsten Arten der Festwertspeicher sind:

- ROM Der eigentliche ROM ist ein im letzten Fertigungsschritt maskenprogrammierter Festwertspeicher mit nicht mehr veränderlichem Inhalt (Bitmuster).

- PROM (programable read only memory):
  Vom Anwender mit einem speziellen Programmiergerät programmierbare Festwertspeicher, deren eingeschriebener Inhalt ebenfalls nicht mehr gelöscht werden kann.

- EPROM (erasable PROM):
  Vom Anwender mit einem speziellen Programmiergerät elektrisch programmierbare Festwertspeicher, deren Inhalt mit Hilfe von UV-Licht global gelöscht werden kann (ca. 100 x).
  EPROM's werden auch als RePROM's bezeichnet.

Typ	Speicher-kapazität	Anschluß-zahl	Zugriffe-zeit, µs	Betriebs-Spg., V	Techn.
U501	256 x 8	24	1	-9, +5	PMOS
2316	2K x 8	24	0,4	+5	
3302	512 x 4	16	0,070	+5	STTL
3304	512 x 8	24	0,070	+5	STTL
SN 74187	32 x 8		0,030	+5	TTL
DM 8531	2K x 8		0,3	+5	
HM 6312	1K x 12	18	0,500	+10	CMOS
8302	512 x 8	24	1	+5	
8308	1K x 8	24	0,450	+5	
8316	2K x 8	24	0,850	+5	

Tabelle 8: Datenvergleich maskenprogrammierter Nur-Lese-Speicher (ROM)

- EAROM (electrically alterable ROM's):
  Im Mikroprozessor-System mit elektrischen Impulsen speicherbarer und löschbarer Festwertspeicher. Die Einschreibdauer beträgt ein Vielfaches der Lesedauer, so daß diese Speicher nicht als Lese-Schreibspeicher verwendet werden. Wie bei allen ROM's bleibt der eingeschriebene Inhalt bei Betriebsspannungsausfall erhalten. Zusammenstellungen von Mikroprozessor-Speichern (ROM, EPROM, EAROM) zeigen die Tabellen 8, 9 und 10.

Typ	Speicher-kapazität	Anschluß-zahl	Zugriffs-zeit, us	Betriebs-spannung,V	Techn.
1702	256 x 8	24	1	+5,-9	PMOS
8708	1K x 8	24	0,45	+12,+5,-5	NMOS
8755	2K x 8	40	0,45	+5	NMOS
8702	256 x 8	24	1,3	+5,-9	NMOS
3601	256 x 4	16	0,05	+5	STTL
3625	1K x 4	18	0,035	+5	STTL
3624	512 x 8	24	0,070	+5	STTL
2716	2K x 8	24	0,45	+5	MNOS
2704	512 x 8	24	0,45	+5,-5,+12	NMOS
2708	1K x 8	24	0,45	+5,-5,+12	NMOS

Tabelle 9: Elektrisch programmierbare , UV-löschbare Nur-Lese-Speicher (EPROM)

Typ	Speicher-kapazität	Anschluß-zahl	Zugriffs-zeit, us	Betriebs-Spg., V	Techn.
7010	1K x 8		25	-30	MNOS
ER240	1K x 4	22	2	+5,-14,-24	MNOS

Tabelle 10: Elektrisch schreib- und löschbare Nur-Lese-Speicher (EAROM)

Die Blockstruktur eines 1K x 8Bit-Speichers zeigt Bild 26. Als EPROM entspricht diese Schaltung dem 8708 (2708) und als maskenprogrammierter ROM dem 8308. Mit Hilfe des internen Adreßdekoders wird die 10Bit-Adresse (A_9 ... A_0) mit 7 Bit einer Matrix 128 x 64 und mit 3 Bit einer Spaltenauswahl zugeordnet, um intern zu einer günstigen Speicherorganisation zu kommen. Die Datenausgabe erfolgt über einen Ausgabepuffer, der mit dem Signal CE (chip enable) den adressierten Speicher nach Beendigung der internen Einschwingvorgänge an den Bus anschaltet, womit sie in die CPU gelesen werden können.

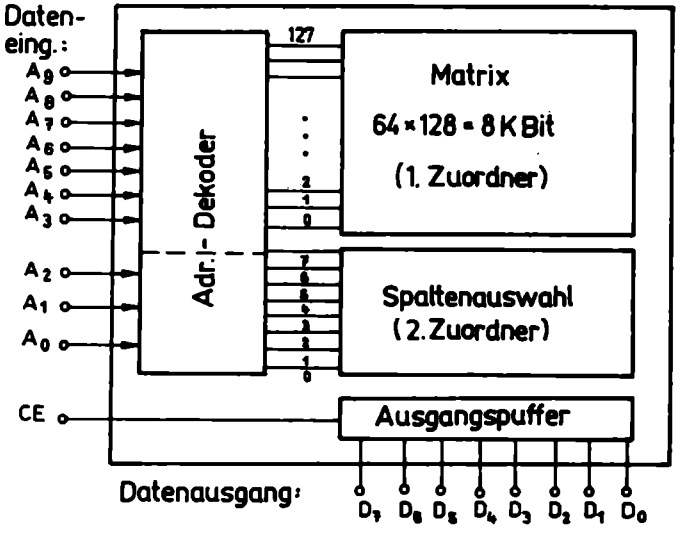


Bild 26: Blockschaltung des EPROM 8708

2.2.2. RAM's

Lese-Schreibspeicher (RAM, random access memory), Speicher mit wahlfreiem Zugriff, haben die Aufgabe, Daten oder Befehle während des Rechenbetriebes des Mikroprozessors aufzunehmen und wie-

der bereitzustellen /18/.

Mit dem Abschalten der Betriebsspannung verlieren sie ihre Information, wenn nicht speziell Maßnahmen zur Betriebsspannungspufferung vorgesehen sind. Bezüglich ihrer Systemeigenschaften unterscheiden sich RAM's nicht wesentlich, unabhängig in welcher Technologie sie hergestellt sind. Während ROM's fast ausschließlich Byte-organisiert sind, haben RAM's sowohl 1-Bit als auch 4- und 8-Bit-Verarbeitungsbreite.

Die Eigenschaften der RAM's werden jedoch in ganz entscheidender Weise durch ihre Herstellungstechnologie und ihre Schaltungstechnik bestimmt:

- Bipolar-RAM's: kleine Kapazität, große Arbeitsgeschwindigkeit

- PMOS-statische RAM's:
  mittelgroße Speicherkapazität, preiswert, kleine Arbeitsgeschwindigkeit, mehrere Betriebsspannungen zur Sicherung der TTL-Kompatibilität

- NMOS-statische RAM's:
  mittelgroße Speicherkapazität, gegenüber der PMOS-Technik doppelte bis dreifache Arbeitsgeschwindigkeit, höhere Packungsdichte, eine äußere Betriebsspannung (+5 V) und damit unmittelbare TTL-Kompatibilität (Silicon-Gate-Technik)

- CMOS-statische RAM's:
  mittelgroße Speicherkapazität, hohe Arbeitsgeschwindigkeit, auf Grund der Komplementärschaltung extrem geringer Ruhestrombedarf, günstige Eigenschaften als batteriebetriebene oder -gepufferte Lese-Schreibspeicher ohne Datenverlust bei Betriebsspannungsausfall

- MOS-dynamische RAM's:
  große Speicherkapazität, hohe Arbeitsgeschwindigkeit, externe oder interne Mehrphasensteuerung zum Schreiben, Lesen und zum Auffrischen der Kondensatorladungen

- CCD-dynamische RAM's:
  größte Speicherkapazität der Halbleiterschaltkreise, höchste Bauelementedichte, für Daten-Massenspeicher der Mikrorechentechnik geeignet. Aufbau in Registerorganisation, woraus Zugriffszeiten bis zu ms entstehen.

Die Blockstruktur des dynamischen RAM U253D ist im Bild 27 gezeigt. Das Datenformat dynamischer Speicher ist im allgemeinen nur ein Bit (z. B. 1K x 1Bit). Die innere Speicherorganisation ist wiederum matrixförmig. Da der dynamische RAM nur eine Kurzzeit-Speicherung gestattet, sind nach ca. 2 ms sämtliche Zellen aufzufrischen (refresh).

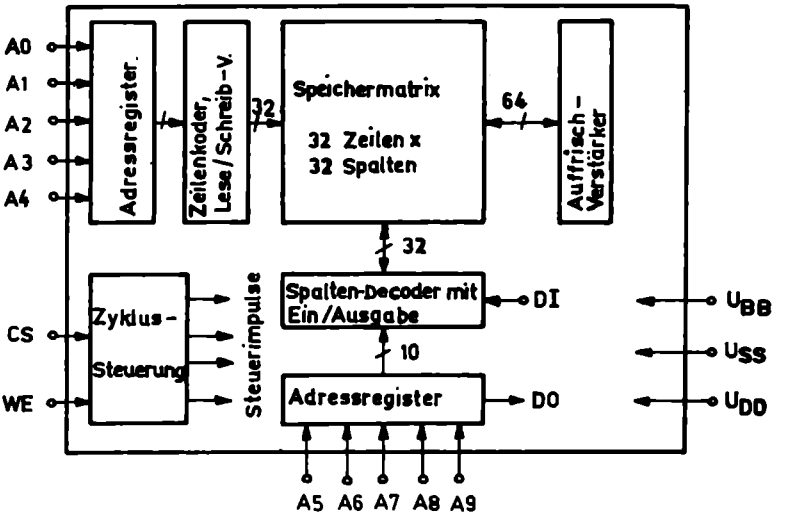


Bild 27: Blockschaltung des dyn. RAM U253D

Die Tabellen 11 und 12 geben einen Datenvergleich wichtiger Parameter dynamischer bzw. statischer RAM's. Sie zeigen insbesondere das bevorzugte 1Bit-Datenformat. Bei der Anwendung von RAM's in Mikroprozessor-Geräten ist das 4Bit-Format jedoch günstiger.

Typ	Speicher-kap. Bit	Anschluß-zahl	Zugriffs-zeit, µs	Betriebs-spannung,V	Techn.
8107	4K x 1	22	0,42	+5,-5,+12	NMOS
2107A	4K x 1	22	0,4	+5,-5,+12	NMOS
SN 81003	128		0,012	+5	ECL
2104	4K x 1	16	0,3	-5,+5,+12	NMOS
2107	4K x 1	22	0,3	-5,+5,+12	NMOS
2116	16K x 1	16	0,3	-5,+5,+12	NMOS
6006	4K x 1		0,190		NMOS
U253	1K x 1	18	0,48	-16,-19	PMOS

Tabelle 11: Datenvergleich dynamischer Lese-Schreib-Speicher (RAM)

Typ	Speicher-kapazität	Anschluß-zahl	Zugriffs-zeit, µs	Betriebs-spannung, V	Techn.
1101	256 x 1	16	0,85	+5,-9	PMOS
8101	256 x 4	22	0,85	+5	NMOS
U202	1K x 1	16		+5	NMOS
CM 8001	256 x 1	16	1,5	+5,-9	PMOS
8155	2K x 1	40	0,45	+5	NMOS
2101	256 x 4	22	0,5	+5	NMOS
2102	1K x 1	16	0,35	+5	NMOS
2111	256 x 4	18	0,5	+5	NMOS
2125	1K x 1	16	0,075	+5	NMOS
3101	4 x 16	16	0,035	+5	STTL
3107	256 x 1	16	0,060	+5	STTL
5101	256 x 4	22	0,45	+5	CMOS
8111	256 x 4	18	0,45	+5	NMOS
D181	16x1	14	0,050	+5	TTL

Tabelle 12: Datenvergleich statischer Lese-Schreib-Speicher (RAM)

2.3. Mikroprozessor-E/A-Schaltkreise

Die Leistungsfähigkeit eines Mikroprozessors hängt in entscheidendem Maße von der Geschlossenheit der Systemkonzeption ab. Um den Mikroprozessor an die Einsatzbedingungen beliebiger Aufgaben anpassen zu können, ist es notwendig, neben Speichern auch Peripherie-Schaltkreise bereitzustellen /19/, /21/, /28/, /49/, /59/, /70/, /98/. Die wichtigsten Peripherie-Schaltkreise befinden sich in den Ein-Ausgabe-Schnittstellen. Eine Übersicht gibt Tabelle 13.

2.3.1. DMA

Um den Datentransport vom peripheren Speicher in Ausgabekanäle und umgekehrt die Übernahme von Eingabedaten in den Speicher wesentlich zu beschleunigen, realisiert ein DMA-Schaltkreis (direct memory acces) den direkten Speicherzugriff /19/, /21/.
Während des direkten Datentransportes befindet sich die CPU im Wartezustand. Die gemeinsamen Busleitungen dienen als Rangierknoten. Der Z 80 - DMA enthält u. a. die Steuerung für vier Ein-/Ausgabekanäle mit Blocklängenzähler, Speicheradressen-Anzeiger und Kaskaden-Priorität.

2.3.2. USART, SIO

Der Übergang von der parallelen Wortdarstellung im Mikroprozessor zur seriellen synchronen oder asynchronen Datenübertragung auf Leitungen wird mit USART-Schaltkreisen (universal synchronous/asynchronous receiver/transmitter) realisiert /19/, /21/. Sie stellen das Bindeglied zwischen dem 8-Bit-Datenbus und der zweiadrigen Übertragungsleitung dar. Da diese Schaltkreise programmierbar sind, lassen sie sich an unterschiedliche periphere Geräte leicht anpassen.

Der Z 80-SIO-Schaltkreis (serial input/output) gestattet den unmittelbaren Anschluß von Floppy-Disk-Geräten, Bildschirmen und Fernschreibern. Neben dem bitseriellen Empfang und dem bitseriellen Übertragen enthält er die Paritätsbiterzeugung und -prüfung.

Typ	Funktionsbeschreibung
8212	8 Bit E/A-Tor mit Puffer und Multiplexer
8251	Programmierbare Serienschnittstelle für Synchron- und Asynchron-Betrieb
8255	Programmierbare periphere Schnittstelle mit 24 programmierbaren E/A-Anschlüssen (parallel)
Z80-PIO	Parallele Ein- und Ausgabe, Anschlüsse programmierbar
Z80-CTC	Zähler-, Zeitgeber-Schaltkreis von CPU steuerbar, 4 Zeitkanäle
Z80-DMA	Direkter Datenkanal zwischen Peripherie und Speicher
Z80-SIO	Serielle Ein- und Ausgabeschnittstelle, programmierb.
SDM850	Datenerfassungssystem für 16 Kanäle der analogen Eingabe mit Multiplexer und D/A-Wandler für 12 Bit
SDM851	Wie SDM850, jedoch für 8 Differenzeingänge hoher Gleichtaktunterdrückung
RTI-1201	Ausgabesystem mit 4 analogen Ausgaben (I oder U) (Auflösung 12 Bit) für SBC 80
MP20	Eingabe-Hybrid-Peripheal mit 16 analogen Eingängen mit 8 Bit Auflösung für 8080, 9080, 8085, Z80, SCIMP
MP21	Wie MP20, jedoch für 6800, 650 X und F8
RTE1200	E/A-Subsystem mit 32 analogen Eingabekanälen von 12 Bit und 2 analogen Ausgabekanälen zu 12 Bit

Tabelle 13: Mikroprozessor-Peripherie-Schaltkreise und Module

Der SIO-Schaltkreis besitzt zwei vollständige Duplex-Serien E/A-Kanäle. Durch Kommandowörter der CPU ist er im Asynchronbetrieb jedem Obertragungsformat anpaßbar.

2.3.3. PPI, PIO

Der häufigste Obergang vom Mikroprozessor in die Peripherie vollzieht sich bei der speziellen Gerätetechnik in der parallelen Datendarstellung. Programmierbare Peripherie-Interface-Schaltkreise, PPI (programmable peripheral interface), gestatten es, die Funktion ihrer Anschlußstifte durch das Mikroprozessorprogramm festzulegen /19/, /21/. Der Z 80-PIO (parallel input/output) enthält zwei TTL-kompatible 8-Bit-Tore für den parallelen Datenverkehr mit vollständiger Steuerung des Quittungsbetriebes. Zugleich ist eine programmierbare Interruptbearbeitung entsprechend den Zustandsbedingungen des peripheren Gerätes möglich.

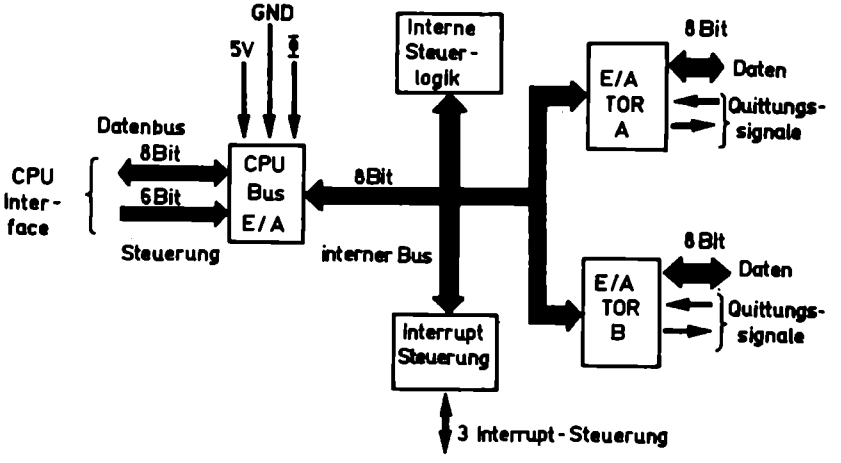


Bild 28: Blockschaltung des Z 80-PIO

Die Blockschaltung nach Bild 28 zeigt den stark vereinfachten Aufbau des PIO-Schaltkreises. Die E/A-Tore A und B enthalten je:

- ein 8Bit-Datenausgabe-Register,
- ein 8Bit-Dateneingabe-Register,
- ein 2Bit-Betriebsarten-Register für die Festlegung der Aufgabe des Tores A bzw. B (1. Dateneingabe, 2. bidirektionale Dateneingabe/Datenausgabe im 8Bit-Format, 3. bidirektionale Dateneingabe/Datenausgabe im Einzelbit-Format ohne Quittungssignale),
- ein 2Bit-Maskierungs-Steuerregister,
- ein 8Bit-Maskierungs-Register und
- ein 8Bit-Ein/Ausgabe-Wahl-Register.

Die Betriebsarten-, Maskierungs- und die Maskierungs-Steuer-Register werden von der CPU geladen (programmiert).
Der Z 80-PIO enthält eine automatische Interrupt-Vektor-Erzeugung und Prioritätskodierung. Die Prioritätsfestlegung erfolgt nach Kaskadierungsprinzip (Kettenschaltung der Tore aller PIO-Schaltkreise.

2.3.4. CTC

CTC (counter timer circuit)-Schaltkreise dienen als programmierbare Zähler/Zeitgeber zur Ablaufsteuerung, Interrupt-Programm-Verschachtelung und als programmierbare Zeit-Normale von Mikroprozessoren. Der Z80-CTC enthält vier unabhängige, programmierbare 8Bit-Zähler bzw. 16-Bit-Zeitgeber-Kanäle. Es können programmierbare Interrupts ausgelöst werden, wenn die Zähler einen vorgegebenen Wert erreicht haben.

2.3.5. ADC, DAC

Die Analog/Digital- und Digital/Analog-Wandlung (ADC, DAC) ist eine grundlegende Voraussetzung zur analogen Signalverarbeitung mit Mikroprozessoren /22/. Es ist notwendig, unterschiedlichsten Anforderungen an die Wandlungsgeschwindigkeit (µs bis ms) und

die Wandlungsbreite (8 ... 14 Bit) Rechnung zu tragen.
Die AD- und die DA-Wandlung kann sowohl in eigenständigen Modulen oder Schaltkreisen als auch mit Hilfe der Softwareunterstützung durch den Mikroprozessor realisiert werden.

In Verbindung mit Mikroprozessoren wurden voll kompatible Analogdaten-Erfassungssysteme entwickelt (data aquisition systems), die als periphere Mikroprozessor-Module alle Aufgaben der Signalverstärkung, Störsignalunterdrückung, Potentialtrennung, des Multiplexens,des Wandelns und der Datenpufferung übernehmen (Tabelle 13). Dabei können bei 8 bis 16 Kanälen Eingangsspannungen von 1 mV bis 10 V und Eingangsströme bis zu 20 mA verarbeitet werden. Ebenso liefern DA-Wandlermodule sowohl Spannungs- als auch Strom-Transport-Signale, wie sie in der mes-Technik üblich sind. In Sonderfällen sind Mikroprozessoren unmittelbar mit Analogkanälen ausgestattet.

Das Spektrum der AD-Wandlerverfahren ist sehr groß. Bild 29 zeigt eine Klassifizierung der Wandlerprinzipien nach den Merkmalen: Anzahl der zur Wandlung notwendigen Rechenschritte r (Wandlertakte) in Zuordnung zu der Anzahl der an der Wandlung beteiligten Normale h /22/.
In dieses Schema lassen sich alle Wandlerverfahren einordnen.

In der hochintegrierten Technik findet das Stufenwandlerprinzip (Wägeprinzip) die häufigste Anwendung (Hybrid-Schaltkreise). Eine nahezu vollständige Halbleiterblock-Integration ist nach dem Serienwandler-Prinzip möglich (z. B. charge balancing) da nur ein einziges Spannungsnormal als genaue Konstante benötigt wird.

AD-Wandler

Nach Bild 29 haben die Verfahren folgende Wirkungsweise:

- Parallelwandler:
  Das analoge Eingangssignal durchläuft in einem einzigen Takt so viele Komparator-Schwellwerte (Fenster), wie zur maximalen

Auflösung benötigt werden. Durch eine Dekodierschaltung wird gleichzeitig das dazugehörige Binärwort ermittelt. Das Verfahren ist somit sehr schnell, aber auch aufwendig.

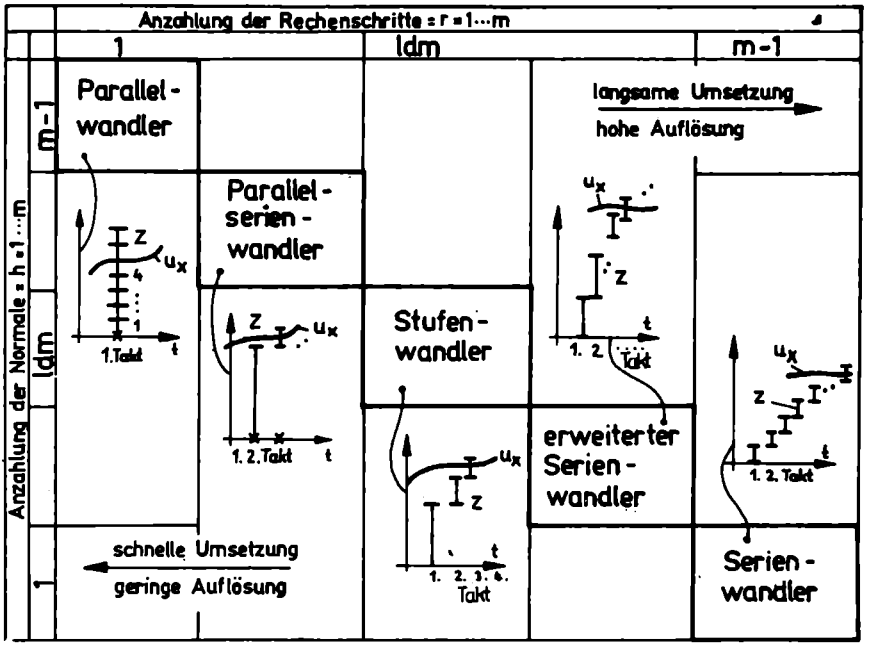


Bild 29: Klassifizierung der AD-Wandlungsprinzipien /22/

- Serienwandler:
  Genau gespiegelt zum Parallelwandler kann ein einziges Normal so häufig gezählt werden, bis Analog- und Digitalsignal gleich sind. Damit ist dieses Verfahren am langsamsten. Der Aufwand ist jedoch sehr gering. Die Genauigkeit ist nicht durch das Zählverfahren beschränkt (Dual-Slope-, Quadro-Slope-, Charge-Balancing-Verfahren).

- Stufenwandler:
  Einen nahezu optimalen Kompromiß in Wandlergeschwindigkeit, Wandlungsgenauigkeit und Aufwand stellt der Stufenwandler (Wägeprinzip) dar.
  Beginnend mit dem größten Normal (Gewicht) werden nacheinander binär abgestufte Normale zur Kompensation mit dem Eingangssignal hinzugezogen.
  Ist mit dem kleinsten, dem letzten Normal die Kompensation mit dem Eingangssignal erreicht, so steht das Binärwort zur Verfügung. Die Kompensation erfolgt nach dem Verfahren der sukzessiven Approximation.

- Parallel-Serienwandler:
  Verwendet man die Komparatorgruppe des Parallelwandlers im ersten Takt mit der Bewertung 1, im 2. Takt mit der Bewertung 0,1 usw., so werden die Normale des ersten Taktes seriell wiederholt gebraucht bis aus der Überlagerung der Takte die Kompensation des analogen Signals erreicht ist.

- Erweiterter Serienwandler:
  Werden in einem Zählvorgang erst große Normale gezählt (z. B. Hunderter), dann kleinere (Zehner, Einer usw.), so wird eine erweiterte Serienwandlung realisiert. Der Vorteil dieses Verfahrens liegt in der einfachen schaltungstechnischen Realisierung. Gegenüber dem reinen Zählverfahren tritt eine wesentliche Beschleunigung ein.

DA-Wandler

Im Gegensatz zur AD-Wandlung ist die DA-Wandlung ein eindeutiger Vorgang der gewichteten Zuordnung der Bits eines Binärwortes zu den entsprechenden analogen Anteilen des Gesamtsignals. Die wichtigste AD-Wandlungsmethode ist das Schalten von analogen Widerstands-Netzwerken (dualcodiert, BCD-Code, Kettenleiter-NW usw.). Bild 30 zeigt eine DA-Wandlung mit 8-Bit-Verarbeitungsbreite als analoge Mikroprozessor-Ausgabe-Einheit. Das analoge Signal steht als Ausgangsspannung (U_A) und als Ausgangsstrom (I_A) zur Verfügung.

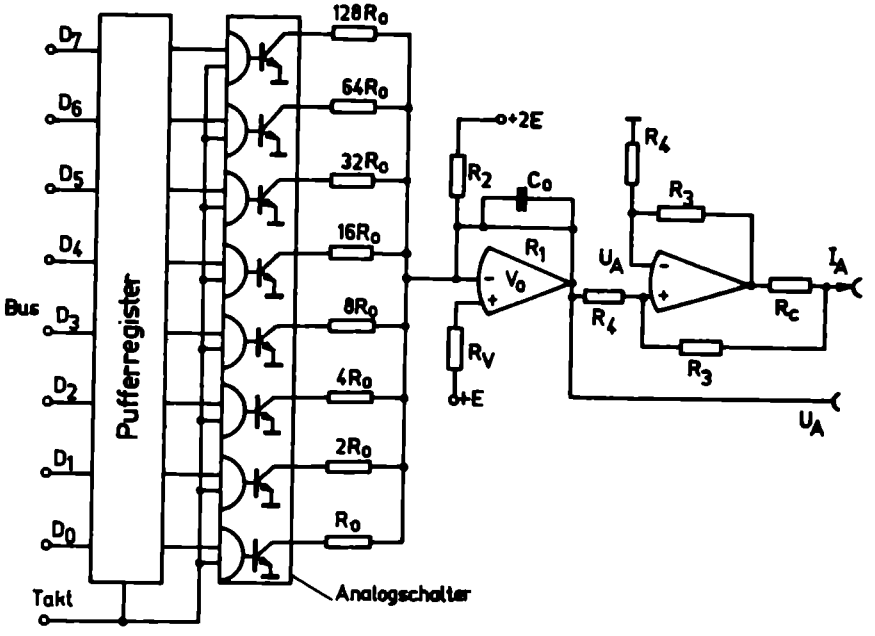


Bild 30: 8 Bit-DA-Wandlung als Mikroprozessor-Ausgabe-Einheit

Ein Beispiel für die Verwendung des Mikroprozessors zur programmierten sukzessiven Approximation in der AD-Wandlung zeigt Bild 31. Dabei wird der DA-Wandler nach Bild 30 zur Kompensation mit den analogen Eingangssignalen E_1 bis E_8 verwendet.
Welche Komparatorentscheidung B_0 ... B_7 im Mikroprozessor zur Steuerung des DA-Wandlers, also zur sukzessiven Approximation ausgewertet wird, entscheidet ebenfalls das Mikroprozessor-Programm.

Damit läßt sich zugleich sehr einfach die in Bild 31 gezeigte Multiplexer-Aufgabe zur Verarbeitung vieler Analogkanäle (E_1 bis E_8) realisieren.

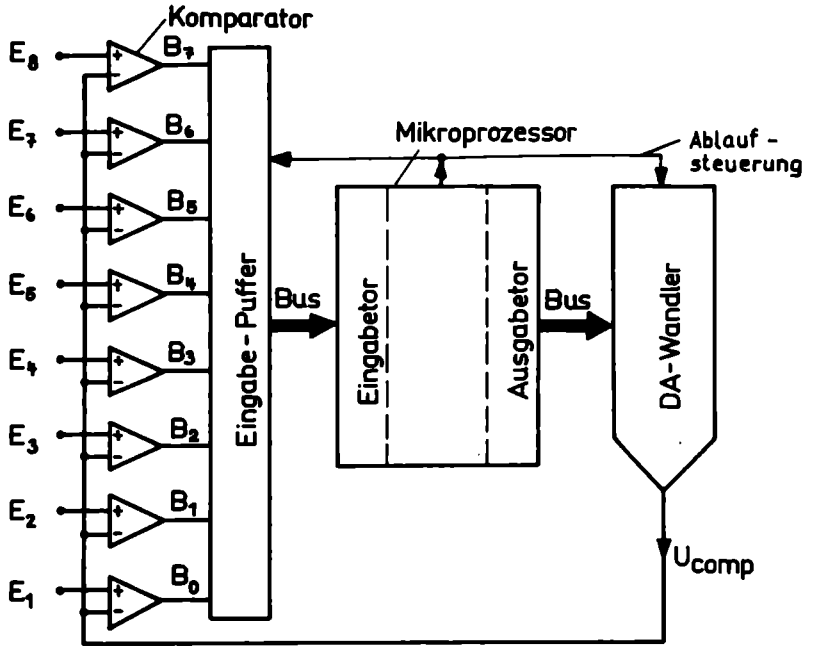


Bild 31: 8-Kanal-8 Bit-AD-Wandler unter Verwendung eines Mikroprozessor-Programmes zur sukzessiven Approximation

Ein wesentlicher Vorteil dieses Verfahrens ist, daß mit der Wandlung Filterfunktionen (Mittelwertbildungen) und Signifikanztests zugleich durchgeführt werden können.
Tabelle 14 zeigt eine Übersicht der wichtigsten Parameter am Beispiel international weit verbreiteter AD- und DA-Wandler. Zwischen 8Bit-Wandlern und 16 Bit-Wandlern besteht ein Preisunterschied von 1 zu 10, so daß die Wandlerbreite eine sehr kostenkritische Kenngröße ist.
Ebenso sind DA-Wandler kostengünstig gegenüber AD-Wandlern, so daß es in nicht zeitkritischen Anwendungen zweckmäßig ist, den Mikroprozessor selbst in die AD-Wandlungsaufgabe mit Hilfe eines DA-Wandlers einzubeziehen.

Typ	Merkmal	Wortlänge in Bit	Code	Umsetz-zeit, µs	Linear. fehler	Betriebs-Spg., V	Signale
	D/A-Wandler						
DAC 70	sehr genau	12 - 16	Binär BCD	20...100	0,05... 0,5%	± 15 + 5	± 2,5 V... ± 10 V 0...2 mA
MA 722	schnell	10 - 12	Binär BCD	0,2 - 20	0,5...2%	± 15 + 5	± 2,5 V... ± 10 V 0...2 mA
DAC 60	sehr schnell	8 - 12	Binär BCD	0,02...0,2	2...5%	± 15 + 5	0...5 mA
	A/D-Wandler						
ADC 100	sehr genau	12...16	Binär BCD	2...20000	0,05... 0,5%	± 15 + 5	± 10 V
ADC 85	schnell	8...12	Binär BCD	1...10	0,5...2%	± 15 + 5	± 2... ± 10 V
ADC 60	sehr schnell	8...10	Binär BCD	0,05...2	2...5%	± 15 + 5	± 2... ± 10 V

Tabelle 14: D/A- und A/D-Wandler-Schaltkreise und Module (angegebene Wandler sind repräsentative Beispiele)

3. Modulares Mikrorechner - System K1510

Das erste Mikrorechnersystem der DDR wird ab 1978 vom VEB Kombinat Robotron gefertigt /24/, /58/, /63/. Es verwendet den Mikroprozessor U 808 des VEB Funkwerk Erfurt als funktionsbestimmenden Teil. Der modulare Aufbau im EGS-System (Kartenformat 135 x 170 mm^2, direkte 90-polige Steckverbinder, Baugruppeneinheiten 480 x 160 x 240 mm^3 mit Unibus für Karten und verschaltbar für Stromversorgungs-Module) ermöglicht einen flexiblen Einsatz in unterschiedlichsten Anwendungsfällen. Als Ergänzung zu den Modulen, die in einer Mikrorechner-Kassette zu einer Einheit zusammengefaßt sind, gehören zum System eigenständige Peripheriegeräte der Datenverarbeitung. Ebenso ist eine ausgebaute Software Bestandteil des Systems: Steuerprogramme, Ein-Ausgabe-Programme, Arithmetik-Standard-Programme, Cross-Assembler (CRASS 4000 - K 1510), Cross-Simulations- und Testsystem (CRST 4000 - K 1510), Cross-Aufbereitungsprogramm (CRAP 4000 - K 1510).
Eine Übersicht zu den Komponenten des Mikrorechner-Systems MRS K 1510 und der Anschlußgeräte zeigt Bild 32 .

3.1. ZVE K 2511, Zentrale Verarbeitungseinheit

Die Zentrale Verarbeitungs-Einheit (ZVE) enthält die CPU U 808, den Taktgenerator und Ergänzungselektronik.
Die Funktionsgruppen verteilen sich auf zwei ZVE-Steckkarten (Bild 33).

ZVE-Zentrale: Taktgenerator,
ZVE-Schaltkreis,
Anpaßschaltung,
Auffangregister,
Steuerung (teilweise).

ZVE-Steuerung: Dekoder,
Befehlsdekoder,
Adressenerweiterung,

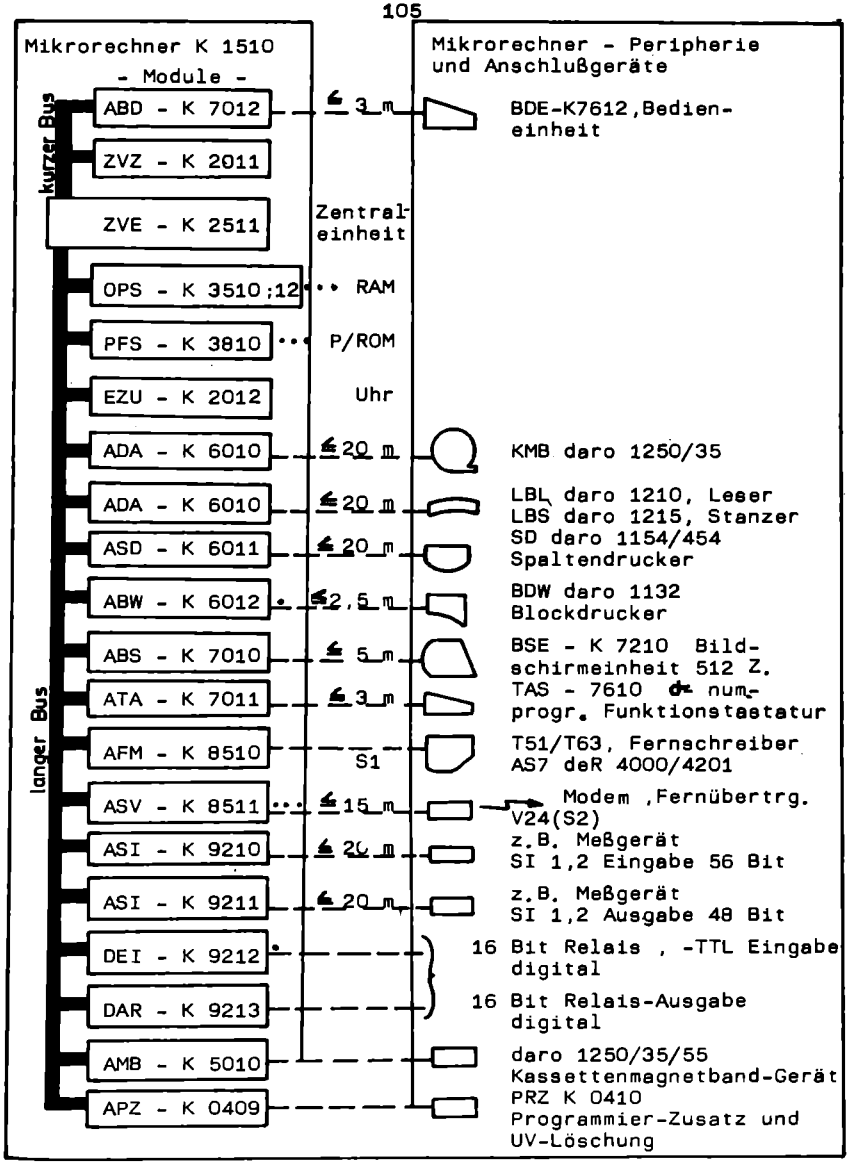


Bild 32 Mikrorechner-System MRS K 1510 und Anschlußgeräte /63/

Interruptmaske,
Interruptbehandlung,
Steuerung (teilweise).

Entsprechend den Parametern der CPU U 808 hat die ZVE des K 1510-Systems folgende technische Kennwerte:

- Verarbeitungsbreite: 8 Bit parallel (1 Byte)
- Wortlänge der Befehle: 1, 2, 3 Byte
- Befehlszahl: 48
- Adressierbare Speicher: 16 K Byte
- Befehlsausführungsdauer: 13,5 ... 49,5 µs
- Interruptleitungen: 8

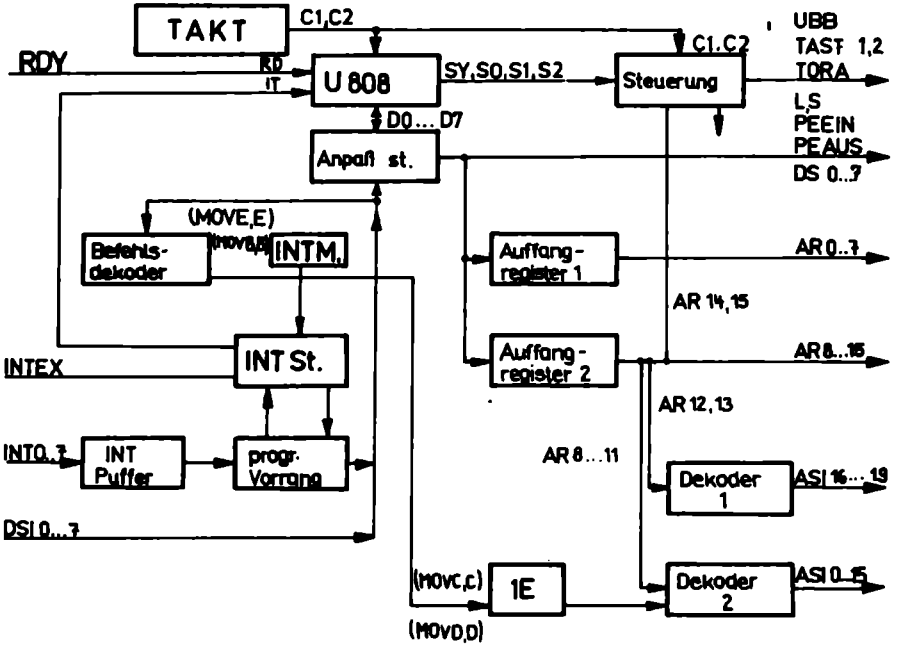


Bild 33 : Blockstruktur der ZVE des K 1510-Mikrorechnersystems /24/

3.2. ZVZ K 2011, ZVE-Zusatzeinheit

Die ZVZ-Karte ist eine ZVE-Zusatzeinheit mit 32 Byte-Kellerspeicher und Steuerlogik zur effektiven Interruptbehandlung. Der zusätzliche Kellerspeicher dient der Rettung der Inhalte der Universalregister und der Bedingungs-Flip-Flops der CPU U808D. Damit können erhöhte Interrupt-Anforderungen peripherer Geräte an die ZVE erfüllt werden.

3.3. PFS K 3810, Festwertspeicher

Die programmierbaren Festwertspeichermodule können auf vorhandenen Steckfassungen (24 polig, DIL) mit PROM's von 0,25 K Byte (1 x ROM z. B. 1702) bis zu 4 K Byte (16 x ROM) bestückt werden.
Die Adressenstufung beträgt 2 K Byte.

3.4. OPS K 3510, Lese-Schreib-Speicher

Die Lese-Schreib-Speichermodule OPS dienen der Speicherung variabler Daten und Befehle. Die Karte Typ 051 8270 ist in Stufen von 0,25 K Byte bis max. 1 K Byte aufrüstbar (z. B. RAM 1101 A, CM 8001).

3.5. Anschlußsteuerungen

Zum flexiblen Anschluß verschiedener peripherer Geräte der Datenverarbeitung, Meßtechnik und Büromaschinentechnik enthält das Mikrorechnersystem folgende Anschlußsteuerungen (je eine Karte):

- ADA K 6010: Sif 1000 (daro),
- AFM K 8510: Fernschreibmaschine (S 1),
- ASV K 8511: V 24-Schnittstelle (S 2),
- ASI K 9210: SI 1.2 (Eingabe),
- ASI K 9211: SI 1.2 (Ausgabe),
- ABS K 7010: Bildschirmeinheit (BSE),
- ATA K 7011: alphanumerische Tastatur (TAS),
- ABD K 7012: Bedieneinheit (BDE),

- ABW K 6012: Blockdruckwerk daro 1132,
- DEI K 9212: Digitaleingabemodul (2 Karten, 1 x TTL, 1 x RGK 20),
- ASK K 5010: Kassettenmagnetbandgerät,
- ASD K 6012: Spaltendrucker,
- DAR K 9213: Digitalausgabemodul.

3.6. STM Stromversorgung

Tabelle 15 gibt eine vollständige Übersicht der Stromversorgungs-Baugruppen. Ihre Unterbringung erfolgt in einer eigenen Stromversorgungs-Baugruppeneinheit.

Typ	U_n/V	I_n/A	Breite/mm
STMK 0310,01	12,0 +- 3%	1,5	45/50
STMK 0310,03	10,7 +- 3%	2,0	45/50
STMK 0310,04	9 +- 3%	2,2	45/50
STMK 0310,05	5 +- 3%	3,3	45/50
STMK 0310,06	5 +- 3%	10	60/55
NFIK 0311,	20 Einph.	4	45/45
STMK 0312,01	60 +- 25%30%	0,08	45/45
STMK 0312,02	2x60,0 +- 25%30%	2x0,08	45/45
STZK 0312,03	12,0 +- 3%	0,1	45/45
STZK 0312,04	2x12,0 +- 3%	2x0,1	45/45
STMK 0312,05	60 + 25% - 30% /12V +- 3%	0,08/01	45/45
STMK 0316	24,0 +- 4V 2V		90/90
STM 18,0/2,4	18,0 +- 45%15%	2,4	90/90
STM 24,0/2,0-1	24,0 +- 10%15%	2,0	90/90
STM 24,0/2,2-2	24,0 +- 45%15%	2,2	90/90
STM 2x24,0/1,4	2x24,0 +- 45%15%	2x1,4	90/90

AKMK 0315, mit:	5 +- 5%	5	150
ohne Netz:	2,1 + 10% -5%	5	

- STMK 0312,03/04 an K 0310,01 ... 05 anschließbar
- STMK 0312,01 ... 05 konstruktiv vereinigt mit S M/STZ K 0310
- STMK 0316 für daro 1132
- STM 18/24/24/2x24 für externe Geräte
- AKM 0315 übernimmt die Stromversorgung für den Operativspeicher OPS K 3512 bei Netzausfall

Tabelle 15 Stromversorgungs-Module des Mikrorechner-Systems MRS K 1510 /63/

3.7. Eingabe-, Bedien- und Anzeige-Einheiten des Mikrorechnersystems K 1510

Zum Aufbau kompletter Mikrorechenanlagen enthält das K 1510-System eigenständige Peripherie-Geräte:

- BSE K 7210:
  Die Bildschirmeinheit dient als universelle Anzeigebaugruppe mit 8 Zeilen je 32 alphanumerischer Zeichen auf einem 31 cm Bildschirm.
- BDE K 7612:
  Die Bedieneinheit wird vielfältig zur Testung von Programmen des K 1510-Systems bei der Inbetriebnahme, der Wartung und der Nutzung des Mikrorechners angewandt. Sie besitzt Anzeigeelemente für 4 Rechnerzyklen, 2 Rechnerzustände (Warten und Halt) und 14 Bit-Adressen bzw. 8 Bit-Daten. Mit Hilfe eines 14 Bit-Schalter-Registers können Adressen und Daten (Befehle) eingegeben werden.
- TAS K 7610:
  Die Tastatur besitzt eine anpaßfähige Ausstattung:

  - Alphanumerische- und Sonderzeichen,
  - Ziffern und Sonderzeichen.

  Sie kann in unterschiedliche Anwender-Bedienpulte oder Bedienschränke eingesetzt werden.
- EZU K 2012 Echtzeituhr (eine Steckkarte):
  Die Echtzeituhr dient zum Start und zur Steuerung von Anwenderprogrammen im Grundimpulsraster 1, 10, 100, 1000 ms einstellbar.

3.8. Programme zum Mikrorechnersystem K 1510

Zum Leistungsangebot der Mikrorechner-Systemtechnik gehört neben der Bereitstellung der modularen Baugruppen auch die Nutzung umfangreicher Programmier-Hilfsmittel, die es gestatten, Anwenderprogramme sowohl auf universellen EDV-Anlagen als auch auf dem Mikrorechnersystem K 1510 selbst zu übersetzen und zu testen.

Tabelle 16 gibt eine Übersicht zu den vom Kombinat Robotron lieferbaren Programmen (MOS - maschinenorientierte Systemunterlagen). Darüberhinaus sind durchentwickelte Standardprogramme für häufig wiederkehrende Rechenoperationen verfügbar. Programme, die auf universellen EDV-Anlagen laufen, werden auch als Cross-Programme bezeichnet. Solche Rechner haben hierbei die Funktion des Wirtsrechners zur Entwicklung der Programme der Mikrorechner. Residente Programme auf Mikrorechnern zum Entwurf von Mikrorechnern werden auch als Basis-Software bezeichnet.

Tabelle 16 Programme zum K 1510-System /58/, /63/

Wirtsrechner - Assembler- und Simulations-Programme für MRS K 1510			
Name	Funktion (Wirtsrechner - MOS)	Rechner	Speicher
CRAS 4000-K 1510	CROSS-ASSEMBLER:Makro-Assembler, symbolische Programmierung	R 4000, 4200,4201	16 K Worte
CRST 4000-K 1510	CROSS-Simulations- u.Test-System der Haupt-befehlsliste nach dem Assemblieren	R 4000, 4200,4201	16 K Worte
ASCO 4000 LAP 4200	CROSS-Korrektur-Programme unter Verwendung der R 4000-Software	R 4000 R 4200	16 K Worte
CRAP 4000-K 1510	CROSS-Aufbereitungssystem, Plattenorientiert mit CRAS, CRST, LAP	R 4000	32 K Wechselpl.
CRAM 4200-K 1510	CROSS-Aufbereitungssystem, Magnetbandorientiert CRAS, CRST, LAP	R 4200, 4201	16 K Mag.band
CRAP 4200-K 1510	CROSS-Aufbereitungssystem, Plattenorientiert mit CRAM	R 4201	16 K Kassette

Residente Mikrorechner - Assembler- und Test-Programme für MRS K 1510			
Name	Funktion (Basis - MOS)	RAM	PROM
BLAP - K 1510	EDITOR:Eingabe von Quellprogrammen, Streichen, Einfügen, Drucken, Dupl	0,75 K Byte	2 K Byte
BASS - K 1510	ASSEMBLER: Übersetzen, Binden, Testen, Ausgabe des Objektcodes	8 K Byte	X
BLAD - K 1510	LADER: Laden übersetzter Progr. vom Loch-band in RAM	X	0,25 K Byte
BTES - K 1510	TESTHILFEN: schrittweise Bearbeitung von Progr., Testpunkte, Speicher-Anzeigen	0,75 K Byte	2 K Byte
BMON - K 1510	MONITOR: Aufruf u. Steuerung von Progr.läufen, Verwaltung von Progr.	0,75 K Byte	4,5 K Byte
E/A MODULE	für Systembestand: Geräte-Bedienung, Inter-face-Kontrollen, Peripheriesteuerg.	1,5 K Byte	3 K Byte
Standardprogramme	Add.,Subtr., Mult., Div., Betrag, Wurzel, sin, arctan, Neg. Normalisieren, Transport, Konvertieren (1-, 3 Byte Festkomma; Gleitkomma)		

4. Modulares Mikrorechner-System K1520

Das Mikrorechnersystem MRS K1520 ist als konsequente Weiterentwicklung des Konzeptes K1510 zu verstehen /100/. Es ist ebenso modular aufgebaut, wobei jedoch das Kartenformat 215 x 170 mm^2 gewählt wurde. Die Verbindung zum Datenbus erfolgt über zwei 58polige indirekte Steckverbinder. Der Anschluß peripherer Baugruppen geschieht über maximal drei 39polige indirekte Stecker. Die Module sind in Kassetten steckbar untergebracht, wobei der Uni-Bus 120 mm bzw. 240 mm Länge in gedruckter Rückverdrahtung besitzt. Die Anordnung der Module ist beliebig.
Die Stromversorgung der Module erfolgt im allgemeinen durch das Anwendergerät bzw. die Anwenderanlage.
Eine Übersicht zum K1520-Baugruppensortiment gibt Tabelle 17.

4.1. ZRE K2521, Zentrale Recheneinheit

Die Zentrale Recheneinheit bildet mit dem NMOS-SGT-Mikroprozessor den Kern des Mikrorechner-Systems.
Zur optimalen Problemanpassung besteht die ZRE aus vier Varianten im gleichen Kartenformat 215 x 170 mm^2.
Die technischen Kennwerte der Zentralen Recheneinheiten sind durch den Mikroprozessor festgelegt:

. Verarbeitungsbreite:	8 Bit (1 Byte),
. adressierbare Speicher:	64K Byte,
. E/A-Kanäle:	256, erweiterbar,
. Speicherkapazität einer ZRE-Karte:	1K Byte RAM, 4K Byte ROM, PROM,
. Signalpegel:	Standard-TTL.

4.2. OPS K3520, Operativ-Speicher

Der Operativspeicher ist ein Lese-Schreib-Speicher (RAM) für beliebige Daten. Die Leistungsfähigkeit ist durch den statischen RAM U202D bestimmt:

. Kapazität eines RAM U202D: 1K x 1 Bit,
. Kapazität der Karte: 4K x 8 Bit,
. Zugriffszeit: 530 ns.

Eine OPS-Karte enthält 14 RAM U202D.

4.3. PFS K3820, Festwertspeicher

Der Festwertspeicher ist ein Nur-Lese-Speicher (ROM, PROM) für Programme und konstante Daten.
Die technischen Parameter des Festwertspeichers sind durch den maskenprogrammierbaren ROM U505D oder den EPROM U555D gegeben:

. Kapazität eines ROM/EPROM: 1K Byte
. Kapazität einer Karte: max. 16K Byte
. Zugriffszeit: 530 ns.

4.4. OFS K3620, Operativ-Festwert-Speicher

Zur optimalen Anpassung an die Anwenderbedürfnisse beim Entwurf spezieller Mikrorechnergeräte dient die kombinierte RAM-PROM-Platine. Sie enthält maximal 6K Byte PROM, stufbar um 1K Byte und 2K Byte RAM fest eingelötet.

4.5. BVE K4120, Busverstärker

Der Datentransport über die Baugruppen-Rückverdrahtung hinaus kann durch den Leistungsverstärker BVE erfolgen. Damit lassen sich maximal 2,5 m Bus-Verlängerungsleitungen anschließen. Die Transportsignale entsprechen dem TTL-Pegel.

4.6. ADA K6020, K6021, Anschlußsteuerung

Die Peripherie-Module ADA ermöglichen den Anschluß externer Geräte, insbesondere:

. Lochbandleser daro 1210,
. Lochbandstanzer daro 1215 und
. Kassettenmagnetbandgerät daro 1250.

Dabei enthalten die ADA-Module unterschiedliche Anschlußmöglichkeiten:

. K6020 für einen Eingabekanal und
zwei Ausgabekanäle,
. K6021 für zwei Eingabekanäle und
einen Ausgabekanal.

Die Interface-Schnittstelle entspricht dem Standard SIF daro 1000, KME3-Pegel, max. 20 m Kabellänge.

4.7. BDE K7622, Bedieneinheit

Die Bedieneinheit dient zu allgemeinen Service-Zwecken für den Mikrorechner K1520. Der Anschluß an die ZRE erfolgt über max. 3 m Kabel.

Bez.	Typ	Funktion
ZRE	K2521	Zentrale Recheneinheit, 4K Byte Speicher, Echtzeituhr, Taktgen.
ZRE	K2522	Zentrale Recheneinheit, 4K Byte Speicher, Echtzeituhr
ZRE	K2523	Zentrale Recheneinheit, 4K Byte Speicher, Taktgenerator
ZRE	K2524	Zentrale Recheneinheit, 4K Byte Speicher
OPS	K3520	Operativepeicher max. 4K Byte
PFS	K3820	Festwertepeicher max. 16K Byte
OFS	K3620	Operativ-Festwertep. max. 8K Byte
BVE	K4120	Busverstärker TTL-Pegel
ADA	K6020	Peripherie-Geräte-Anschluß 1E/2A
ADA	K6021	Peripherie-Geräte-Anschl. 2E/1A
ABD	K7022	Anschlußst. Bedieneinheit BDE
OPS	K3525	Operativspeicher-Erweiterung
ASV	K8521	Anschlußst. für V-24 Interface
AVP	K8522	Anschlußst. für paralleles und serielles Interface
ABT	K7020	Anschlußst. für Bildschirm und Tastatur
AFD	K5021	Anschlußst. für Folienspeicher
PPE	K0420	PROM-Programmiergerät für U555D
BDE	K7622	Bedieneinheit des MRS K1520

Tabelle 17: Übersicht zum Modul- und Baugruppen-Konzept des Mikrorechner-Systems K1520

5. Entwicklungsmethodik von Mikroprozessor-Geräten

Mit der Bereitstellung von Mikroprozessor-Schaltkreisen vollzieht sich ein grundlegender Wandel in den Methoden des Entwurfes von elektronischen Geräten. Während es für die klassische Schaltungstechnik charakteristisch war, die Funktion eines Gerätes durch eine starre, d. h. nach dem Entwurf unveränderliche Schaltung festzulegen, bestehen nun außerordentlich flexible Möglichkeiten der Funktionsbestimmung mit Hilfe entsprechender Programme. Damit kann ein und dieselbe schaltungstechnische (hardware) Lösung sehr unterschiedlichen Aufgaben funktionell (softwareseitig) angepaßt werden.

In der klassischen Schaltungstechnik spielte der rechnergestützte Schaltungsentwurf keine dominierende Rolle. Beim Entwurf von Mikroprozessorgeräten beliebiger Art ist der Einsatz von Rechenautomaten zur Geräteentwicklung von vornherein unumgänglich. Gleichrangig neben der elektronisch-gerätetechnischen Konzipierung, Entwicklung, Konstruktion und Erprobung eines Gerätes steht nun die rechentechnische Aufgabe, die funktionellen Eigenschaften durch eine problemangepaßte Programmierung zu bestimmen. Auf der Ebene der Programmierung vollzieht sich der gleichartige Prozeß des Suchens, Findens, Verwerfens und Optimierens von Lösungen, wie es auch in der traditionellen Schaltungstechnik unumgänglich war. Damit wird von der Rechentechnik eine ähnlich operative Arbeitsweise verlangt, wie es bei Laborgeräten, z. B. Oszillographen, Digitalvoltmetern usw., möglich ist.

Entsprechend hat sich die rechentechnische Entwicklungsmethodik vom Einsatz verfügbarer Rechenanlagen als "Wirtsrechner" für den Entwurf von Mikrorechnern rasch weiterentwickelt zu Mikrorechner-Entwicklungsplätzen, die alle Laboranforderungen des Dialogbetriebes vereint mit dem Komfort universeller Rechenanlagen in optimaler Weise erfüllen.

Hinzu kommt, daß Mikrorechner-Entwicklungsplätze die on-line-Kopp-

lung der zu entwickelnden Mikroprozessor-Geräte gestatten und damit den Geräteentwurf unter Echtzeitbedingungen erlauben. Das ist eine entscheidende Voraussetzung für eine erfolgreiche und effektive Entwurfsarbeit, da die zu schaffende Software mit der Hardware des Gesamtgerätes in unmittelbarer Wechselwirkung arbeiten muß /28/, /29/, /30/, /31/, /32/, /33/, /34/, /35/.

5.1. Mikroprozessor-Programmiersprachen

Entsprechend der Anzahl von Befehlen eines Mikroprozessors unterscheidet sich seine Leistungsfähigkeit. Jeder Befehl hat elementaren Charakter. Es sind Instruktionen, die durch das Bitmuster eines oder mehrerer Maschinenworte repräsentiert werden. Das heißt, Mikroprozessoren sind selbst nur in Maschinensprache programmierbar. Um die langen und praktisch nicht merkfähigen Bitmuster symbolisch zu beschreiben, wurden Kurznamen (Kürzel) für jeden Befehl eingeführt. Die Maschinensprache ist damit im mnemotechnischen Code formuliert. Zu jedem Bitmuster eines Befehls gehört ein Name (Mnemonic). Programme, die so geschrieben sind, können mit Hilfe eines Assemblerprogramms in ein Bitmuster übersetzt und zum Gesamtprogramm gebunden werden. Das heißt, aus einem Quellprogramm entsteht ein Objektprogramm.

5.2. Assemblieren von Quellprogrammen

Zum Assemblieren von Quellprogrammen können universelle Rechenanlagen eingesetzt werden (Wirtsrechner). Mit dem Übersetzen von Mnemonics und Dezimalzahlen lassen sich gleichzeitig Testaufgaben realisieren, so daß formale (syntaktische) Programmierfehler ausgewiesen werden.

Zugleich übernimmt ein Assemblerprogramm das Ersetzen symbolischer Adressen durch absolute Speicherplatzadressen des Mikroprozessors. Er bindet (assembliert) somit Einzelprogrammteile zum Gesamtprogramm.

Assemblerprogramme, die auf universellen Wirtsrechnern laufen, werden als Cross-Assembler bezeichnet. Es ist jedoch auch möglich, alle Assemblerfunktionen auf Mikrorechnern selbst durchzuführen. Dazu werden dann überwiegend residente Programmsysteme verwandt, die speziell für diese Aufgabe angepaßt sind. Makroassembler enthalten anwenderorientierte, komplexe Befehle oder gestatten ihre Definition (z. B. Arithmetikbefehle). Der Makroassembler AMP 8008 /31/ enthält folgende Leistungen:

- Übersetzen der Befehle des Quellprogrammes,
- Umwandlung symbolischer Adressen,
- Definition von Makrobefehlen,
- Übersetzung von Makrobefehlen,
- Erkennung formaler Fehler,
- Vereinbarung von Speicherbereichen,
- Aufruf externer Unterprogramme,
- Steuerung des Listenausdruckes (Protokoll).

Für Mikroprozessor-Geräte, die in größerer Stückzahl gefertigt werden sollen, besitzt die Assembler-Programmierung die größte Effektivität (Speicherbedarf und Rechenzeit am Mikroprozessor).

5.3. Simulation von Mikroprozessor-Programmen

Um die Funktionstüchtigkeit übersetzter Anwenderprogramme für den vorgesehenen Mikroprozessor und dessen Ein-Ausgabe- und Bedienperipherie zu testen, muß der Programmablauf in der richtigen Befehlsfolge am Wirtsrechner simuliert werden /30/, /31/, /33/, /34/. Der zeitliche Programmablauf ist hier naturgemäß wesentlich langsamer als am Mikroprozessor. Zugleich ist die Art der Maschinenabläufe des Wirtsrechners absolut nicht vergleichbar mit der Original-Bitmuster-Verarbeitung des Mikroprozessor-Gerätes. Das bedeutet, daß die Aussagen der Simulation nur bedingt verwertbar sind. Für die Simulation von Mikroprozessor-Programmen ist entscheidend, daß der Wirtsrechner den Dialogbetrieb ermöglicht, so daß an beliebiger Stelle unterbrochen werden kann.

Register und Speicherinhalte müssen leicht überprüfbar sein. Zugleich muß der Wirtsrechner alle externen Bedieneingriffe des künftigen Mikroprozessor-Gerätes ermöglichen.

5.4. Compilieren von Mikroprozessor-Programmen

Eine immer größere Rolle wird in der künftigen Mikroprozessortechnik die Anwendung höherorganisierter Programmiersprachen spielen, da sie eine wesentliche Steigerung der Arbeitsproduktivität bei der Entwicklung von Anwenderprogrammen ermöglichen /32/, /34/. Dieser Tendenz kommt die wachsende Leistungsfähigkeit der Mikroprozessor-Schaltkreistechnik stark entgegen. Die Vorteile solcher Programmiersprachen wie PL/M sind:

- hohe Programmiereffektivität,
- Nutzung vorhandener Programmsysteme,
- universelle Programmkompatibilität,
- leichte Erlernbarkeit.

Die Effektivität höherer Programmiersprachen wird aber erst dann voll wirksam, wenn sie selbst eine möglichst große Anzahl mikroprozessor-gerechter Makrobefehle beinhaltet.

5.5. Ablauf der Mikroprozessor-Programmierung mit Hilfe eines Wirtsrechners

Der Mikroprozessor-Geräteentwurf beginnt mit einer normalen Problemanalyse. Ihr folgt die Problemformulierung in rechentechnisch-automatenspezifischer Form als Programmablaufplan (Flußdiagramm) (Bild 34).

Die eigentliche Programmierung kann direkt im Maschinencode, in Assemblersprache oder in Compilersprache erfolgen. Nach dem Übersetzen, Testen, Korrigieren, Binden und Simulieren mit dem damit verbundenen Optimieren des Programmes wird ein Lochstreifen im Objektcode ausgegeben. Mit diesem Lochstreifen werden im Regelfall löschbare Festwertspeicher (EPROM's) programmiert. Erst nach

vollständiger gerätetechnischer Testung der Programme und relativ großer Fertigungs-Stückzahl wird ein Steuerlochstreifen zum Hersteller der eigentlichen ROM's geliefert, der im letzten Maskenschritt in der Fertigung die Programmierung der Festwertspeicher realisiert.

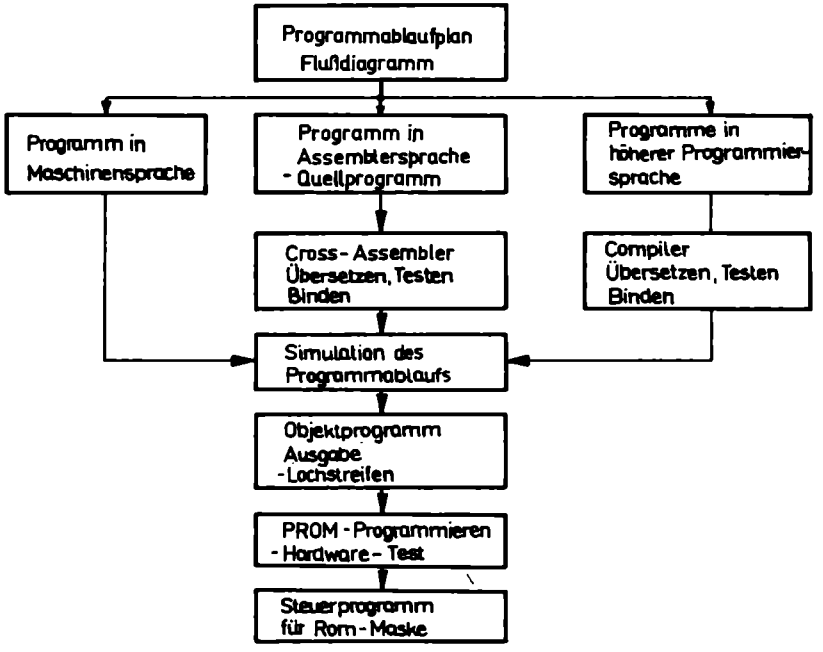


Bild 34: Programmentwicklung von Mikroprozessor-Geräten auf einem Wirtsrechner

5.6. Mikroprozessor-Geräteentwicklung mit Hilfe eines Mikrorechner-Entwicklungssystems

Die Entwicklung von Mikroprozessor-Geräten mit Hilfe von Wirtsrechnern besitzt den Vorteil des Komforts, der universellen Re-

chentechnik, aber den entscheidenden Nachteil, daß es nicht möglich ist, Echtzeitabläufe mit den Original-Mikroprozessorinstruktionen (Bitmustern) zu testen.

Einen entscheidenden Durchbruch in der Entwicklungsmethodik von Mikroprozessor-Geräten erreichte man mit der Bereitstellung weitgehend universeller Mikrorechner-Entwicklungssysteme /36/, /37/. Bild 35 zeigt den Blockaufbau eines Mikroprozessor-Geräte-Entwicklungsplatzes. Der untere Block umfaßt einen komfortablen Mikrorechner mit einer universellen Ausstattung zum Dialogbetrieb. Kern dieses Mikrorechners ist der Hauptprozessor (Master-CPU). Er erfüllt alle Aufgaben einer Zentraleinheit in einer Rechenanlage. Zugleich ist er jedoch Dispatcher des Folge-Prozessors (Slave-CPU), dessen Aufgabe es ist, den künftigen Prozessor des Anwendergerätes (oberer Block) zu emulieren.

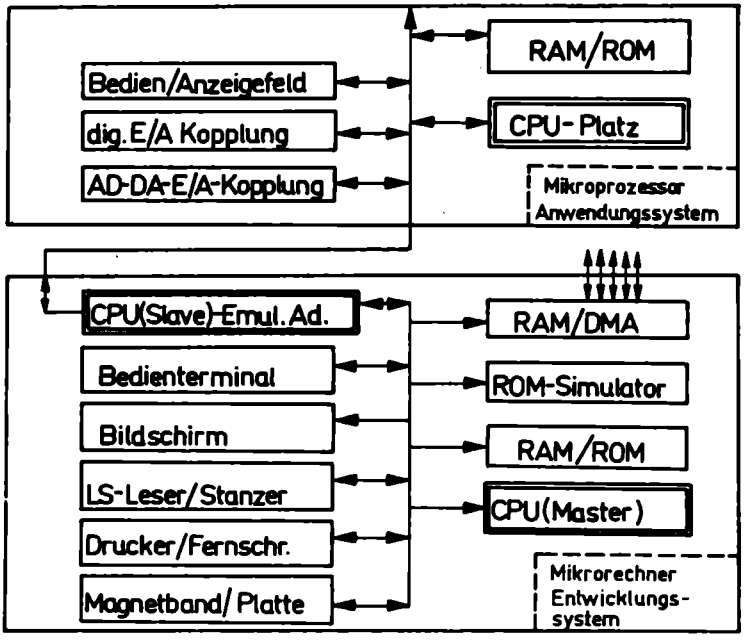


Bild 35: Aufbau eines Mikroprozessor-Geräte-Entwicklungssystems

Unter Emulieren (Nachahmen) versteht man dabei einen höheren Grad der Abbildung des Originals als es für eine Simulation notwendig ist, indem die Originalzeit und die Original-Bitstruktur der Befehle des künftigen Mikroprozessor-Gerätes mit abgebildet werden. Damit muß der Slave-Prozessor dem Master-Prozessor nach Möglichkeit weitestgehend ähnlich sein. Zu einer optimalen Ähnlichkeit gehört die gleiche Verarbeitungsbreite, ein aufwärtskompatibler Befehlsvorrat des Masters und die Signalkompatibilität zwischen Master und Slave.
Zu Beginn der Entwicklungsarbeit besteht das zu entwickelnde Gerät praktisch nur aus einem Gefäß mit mindestens dem Steckverbinder für den CPU-Platz mit den Anschlüssen an den Systembus des Original-Mikroprozessors.

Mit einem 1:1-Adapter wird dieser Platz an den Emulations-Prozessor angeschlossen (adaptiert). Sämtliche Funktionen des künftigen Gerätes sind somit software- und hardware-seitig zu emulieren. Man spricht daher auch von einer Schaltungs-Emulation (in circuit-emulation). Alle Aktivitäten analog zur Entwicklung von Mikroprozessor-Geräten mit Hilfe eines Wirtsrechners sind vom Mikrorechner zu erfüllen. So werden auch alle Speicherfunktionen simuliert, da das Anwendergerät noch keine ROM's enthält.

Mit der Entstehung des Anwendergerätes werden immer mehr Aufgaben vom Gerät selbst und dessen Emulationsprozessor wahrgenommen, bis in permanenter Wechselwirkung zwischen Hard- und Software das neue Gerät entstanden ist.

Leistungsfähige Entwicklungssysteme /36/, /38/ besitzen eine dialogorientierte Peripherie-Ausstattung:

- Display mit alphanumerischer Tastatur,
- Floppy-Disk-Speicher,
- Emulations-Adapter,
- PROM-Programmiergerät.

Dazu gehört eine geschlossene Entwicklungssoftware, die sowohl als residente als auch als Cross-Software zur Verfügung steht.

Da Mikrorechner-Entwicklungssysteme im Vergleich zu EDV-Anlagen sehr preisgünstig sind, besitzen sie für den Mikroprozessor-Geräteentwurf eine grundlegende Bedeutung.

6. Anwendung von Mikroprozessoren zur Automatisierung von Prozeßabläufen

Mikroprozessoren gestatten es, daß die Informationsverarbeitung unmittelbarer Bestandteil unterschiedlichster Geräte und Einrichtungen wird. Während die bisherige Automatisierungsgeräte- und -anlagentechnik überwiegend zentralisiert aufgebaut wurde, bestehen nun alle Voraussetzungen, vollständig dezentralisierte Konzepte zu verwirklichen /39/ bis /48/, /53/ bis /56/, /90/, /94/, /95/, /100/, /101/.

6.1. Allgemeine Mikroprozessoranwendungen

Die Automatisierung der Informationsverarbeitung ist eine generelle Aufgabe bei nahezu beliebigen Einrichtungen. Damit erhält der Begriff "Automatisierung" eine wesentlich erweiterte Bedeutung und zugleich eine Massenbasis.

Eine Analyse der bisherigen oder unmittelbar bevorstehenden Mikroprozessor-Anwendungsbeispiele verdeutlicht das große Spektrum /41/, /100/ u.a., des Mikroprozessor-Einsatzes:

- Rechentechnik/Datenverarbeitung:
  - Mikrorechner,
  - Mikrorechnersysteme,
  - intelligente Terminals,
  - programmierbare Handrechner,
  - Tischrechenmaschinen,
  - Mikroprozeßrechner,
  - Datenkonzentratoren,
  - Magnetbandsteuerung,
  - Buchungsautomaten,
  - automatische Schreibmaschinen,
  - Klarschriftlesegeräte,
  - Abrechnungsgeräte/-kassen,

. Preisrechenwaagen,
. Datenerfassungseinrichtungen,
. Mikrorechner Experimentier- und Lehrautomaten,
. Mikrorechner-Entwicklungssysteme.

- Automatisierungstechnik:

. Mikroprozessor-Regler,
. programmierbare Steuerungen,
. Prozeßsteuergeräte,
. Werkzeugmaschinensteuerungen (numerisch, nichtnumerisch),
. Plastmaschinensteuerung,
. Antriebs-Regelungen/Überwachung,
. Automatik-Manipulatoren,
. Industrieroboter,
. dezentralisierte Prozeßregelsysteme,
. Fertigungsüberwachung und -steuerung.

- Medizintechnik:

. EKG-und EEG-Auswertegeräte,
. automatische Patientenüberwachung,
. Beatmungsautomaten,
. Blutanalyseautomaten,
. Patienten-Dateien,
. Diagnosegeräte,

- Wissenschaftlicher Gerätebau:

. Mikroprozessor-Koordinatographen,
. Elektronenstrahlmikroskopie,
. kernphysikalische Geräte,
. Laborautomatisierung,
. Transientrecorder.

- Nachrichtentechnik:

. automatische Vermittlungssteuerung,
. Radarsteuerung und -auswertung,
. Datenfernübertragung,
. Navigationssysteme,

. Programmierbare Telefone.

- Konsumgüter:

. Programmierbare Waschmaschinen,
. Programmierbare Herde,
. Fernsehspiele,
. Programmierbare Plattenspieler,
. Taschenrechner,
. Spielautomaten.

- Verkehrstechnik/KfZ-Technik:

. Zugsteuerung,
. Ampelsteuerung,
. Aufzugssteuerung,
. Gleis-Stellwerksteuerung,
. Abstandsradar am KfZ,
. Zündsteuerung an Motoren,
. Bordrechner in Flugzeugen und Schiffen,
. Tankstellen-Rechner.

- Landmaschinentechnik:

. Mikroprozessorgesteuerte Sämaschinen,
. Futtermischwerksteuerung,
. Erntegutsortieranlagen.

- Meßtechnik:

. Oszillographensteuerung,
. Signalanalysatoren,
. Spektralanalysatoren,
. Gaschromatographen,
. Meßwertklassiereinrichtungen,
. Programmierbare Prozeßwaagen,
. AD- und DA-Wandler.

6.2. Mikroprozessor-Prozeß-Kopplung zur analogen Informationsverarbeitung /25/, /90/

Die wesentlichste Leistung von Mikroprozessoren liegt in der programmierbaren Informationsverarbeitung. Beim Übergang vom Prozessor zum speziellen Prozeß des Anwendergerätes ist stets eine meß-, stell-, bedien- und anzeigeseitige Koppelelektronik nötig.

Bild 36 zeigt zwei grundsätzliche Formen der Prozeßankopplung bei der analogen Signalverarbeitung. Im oberen Block werden sämtliche Signale über AD- und DA-Wandler im Mikroprozessor verarbeitet, während im unteren Block digital steuerbare Analogmodule als Rechenwerte dienen, deren Eigenschaften vom Mikroprozessor gesteuert und optimiert werden.

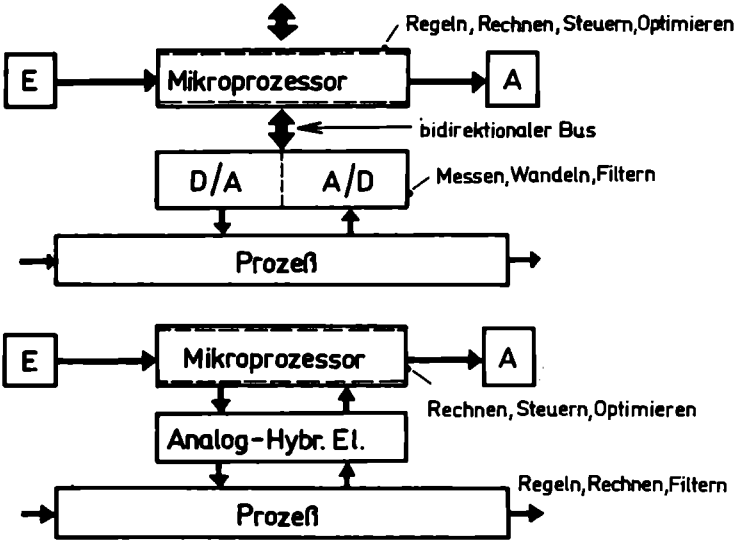


Bild 36: Grundstrukturen zur analogen und hybriden Mikroprozessor-Signalverarbeitung

Bild 37 zeigt den Aufbau einer einfachen hierarchischen Prozeßregeleinrichtung, in der über Führungs-Prozeßrechner dezentralisierte Mikroprozessorregler (DDC, direct digital control) die analoge Signalverarbeitung unmittelbar realisieren. Diese Konzeption ist in zwei Formen realisierbar:

- Regler im geschlossenen Prozeßrechner-Systemverband, in dem die Mikroprozessor-Regler als dezentralisierte Basiseinheiten des Gesamtsystems eingeordnet sind (Bsp. TDC 2000, /46/, /90/) und
- autonome Regler im Inselbetrieb mit eigenem Gefäßsystem, eigener Stromversorgung und unabhängiger Signalverarbeitung (Bsp. K1510-Mehrkanal-Mikroprozessor-Regler /101/). Dabei ist die Koppelbarkeit zu zentralen Prozeßrechnern ebenfalls möglich, aber nicht Voraussetzung.

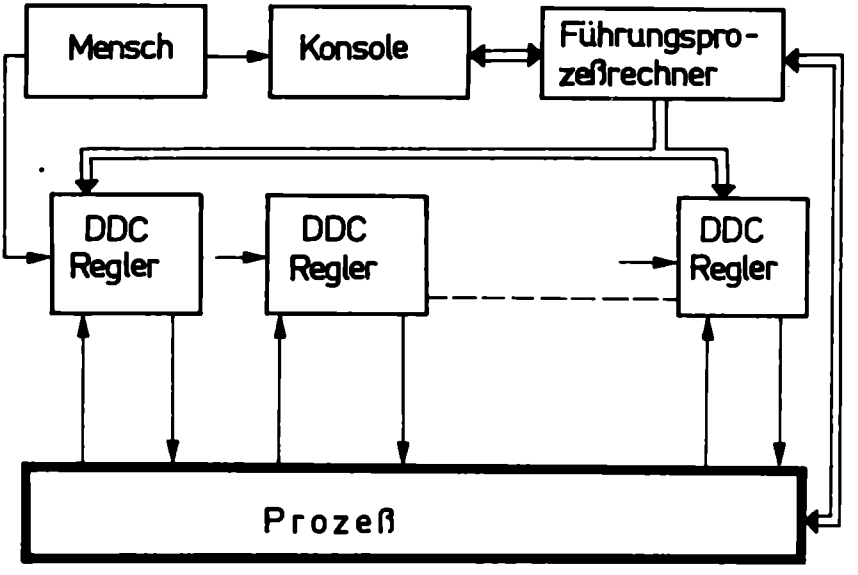


Bild 37: Dezentralisiertes Mikroprozessor-Regler-Konzept

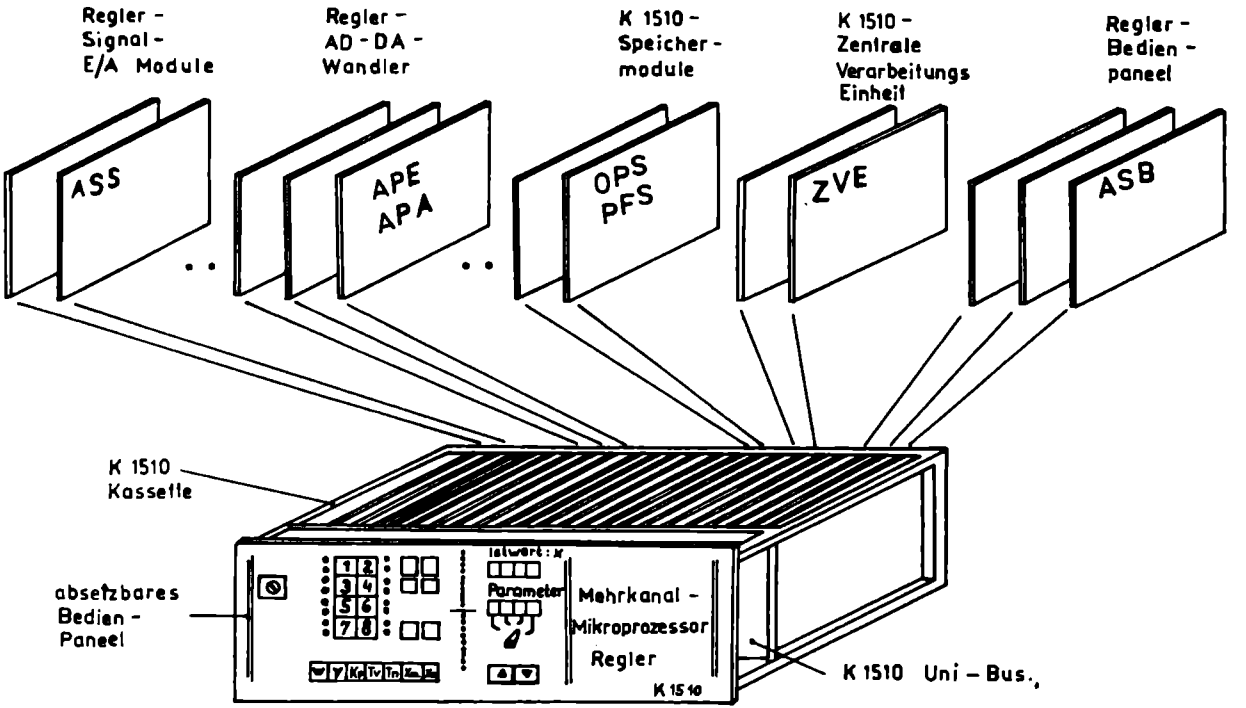


Bild 38 Module des K 1510 - Mehrkanal - Mikroprozessor - Reglers

Der Aufbau von Mikroprozessor-Reglern im Inselbetrieb ist weitgehend von den zugrunde gelegten Mikroprozessor-Schaltkreisen abhängig. Grundsätzlich bleibt jedoch das modulare Konzept zur unterschiedlichen Ausstattung eines Reglers erhalten. Im Bild 38 ist der modulare Aufbau eines K1510-Mehrkanal-Mikroprozessor-Reglers gezeigt (Labormuster) /101/.
Die Ausstattung der Module bei Anwendung leistungsfähiger Mikroprozessor-Systeme /19/, /64/ ist weitgehend unabhängig von der konkret auszuführenden Funktion.
Erst die Zusammenstellung unterschiedlicher Module legt die Anwendungs-Orientierung fest.

Bild 39 zeigt den strukturellen Aufbau eines Mikrorechner-Moduls auf der Basis des Z80 (ECB/C, /64/) im Kartenformat 160 x 100 mm^2.

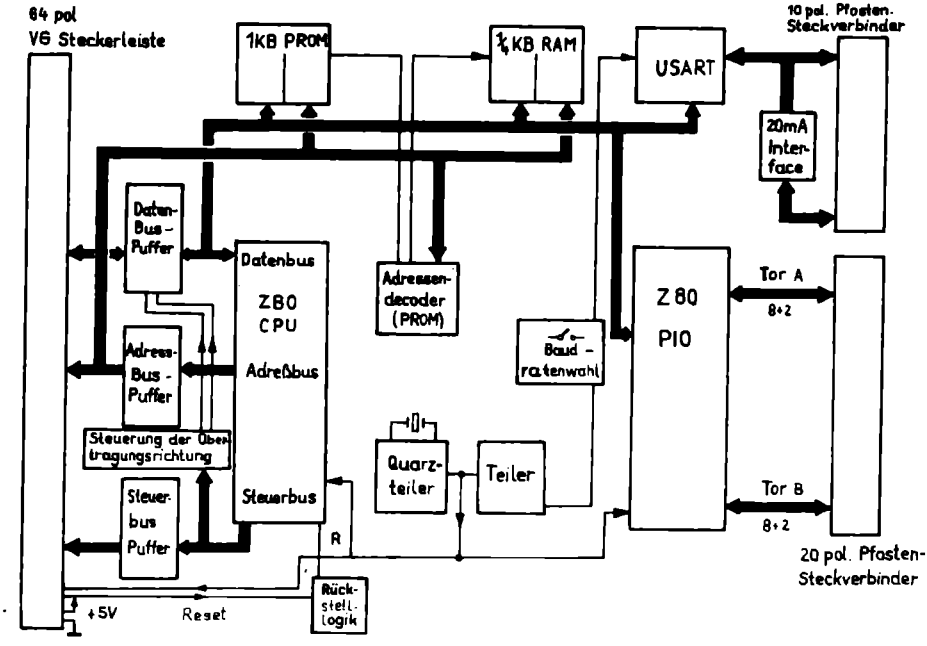


Bild 39: Modul eines dezentralisierten Regler-Prozeßrechner-Netzwerkes

Die Karte enthält neben dem Prozessor einen Parallel E/A-Schaltkreis (PIO) mit zwei programmierbaren Toren A und B, einen universellen Serien E/A-Schaltkreis (USART) mit anschließendem 20 mA-Leitungstreiber, 1K-Byte-ROM/PROM für residente Programme (z. B. Betriebssystem), 1/4K-Byte-RAM für flexible Daten sowie Adreß-Daten- und Steuerbus-Puffer zur flexiblen Systemerweiterung.

6.3. Entwicklungstendenzen automatisierter Prozesse

Automatisierte Prozesse unterschiedlichster Art besitzen durch den Einsatz von Mikroprozessor-Geräten und Mikrorechnern immer stärker folgende Merkmale:

- wachsende Prozeßkomplexität,
- zunehmende Teilautonomie,
- hierarchisches Zusammenwirken von Teilprozessen zu Gesamtprozessen,
- körperliche und funktionelle Einheit von Prozeß und Automat,
- Herausbildung "intelligenter" Prozesse,
- problemorientierte Programmierbarkeit der Prozesse,
- wachsende Adaptions- und Lernfähigkeit,
- automatische Selbstüberwachung, Funktions- und Fehlerdiagnostik.

Diese Merkmale setzen sich tendentiell stark differenziert und über unterschiedliche Zeiträume von der Gegenwart bis zu Prognosezeiträumen immer mehr durch.
Eine wichtige Basis dafür ist durch die hoch- und ultrahochintegrierte Schaltkreistechnik gegeben.
In automatisierten Prozessen steigt damit der Anteil der Prozeßdatenverarbeitung überproportional an. Sie gehorcht nach /55/ folgenden Entwicklungstendenzen:

- verstärkte Arbeitsteilung von Groß-, Mittel-, Klein- und Mikrorechnern,
- Kommunikationsorientierung der Klein- und Mikrorechner im Verbundsystem von Rechner-Netzwerken mit Mittel- und Großrechnern,

- wachsende Bedeutung der Software vom problemorientierten mikroprogrammierten Objekt-Code bis zu komfortablen Programmiersystemen zur Mensch-Maschine-Kommunikation,
- wachsende gegenseitige Abhängigkeit von Prozessen und dazugehörenden Prozeßrechnerstrukturen,
- wachsende Bedeutung der Kopplungsformen Prozeßrechner und Prozeß (Prozeß-Meßtechnik, Stelltechnik, Anzeige- und Registriertechnik).

7. Mikrorechner - Termini

integrated circuit	интегральная схема, ИС	integrierter Schaltkreis
hardware	технические устройства	Hardware, Technik
microprocessor, MP	микропроцессор, МП	Mikroprozessor, MP
asynchronous device	асинхронный формирователь	asynchrone Einheit
synchronous device	синхронный формирователь	synchrone Einheit
clock	синхросигнал	Takt
clock	Генератор синхросигналов	Taktgeber
state	состояние	Zustand
central processing unit, CPU	центральный процессорный элемент, ЦПЭ	zentrale Verarbeitungseinheit, ZVE, CPU
arithmetic and logical unit ALU	арифметико-логическое устройство, АЛУ	Rechenwerk, ALE (arithmet. log. Einheit) ALU
control unit	устройство управления, УУ	Steuerwerk, SW
register	регистр	Register
registers and arithmetic and logic unit RALU	регистровое и арифметико-логическое устройство, РАЛУ	Register und Arithmetik-Logik-Einheit
bus	шина	Bus
data bus	шина данных	Datenbus
address bus	адресная шина	Adressbus
control bus	шина управления	Steuerbus
channel	канал	Kanal
buffer	буферный регистр, БР	Puffer
input/output-port, I/O-port	канал входа/выхода	Eingabe-Ausgabe-Tor, E/A-Tor
input/output-chip I/O-chip	устройство входа/выхода, УВВ	Eingabe-Ausgabe-Baustein
multiplexer	мультиплексор, МПК	Multiplexer
interface	интерфейс внешнего устройства, ИВУ	Schnittstelle, Anpassungsschaltung, Interface
main storage	главная память	Arbeitsspeicher
working register set	рабочие регистры	Arbeitsregistersatz
peripheral	периферийное устройство	Peripheriegerät

software	программные средства	Software, Programme
program	программа	Programm
routine	прерванная программа	Unterprogramm
background program	фоновая программа	Hintergrundprogramm
working program	рабочая программа	Arbeitsprogramm
microprogram	микропрограмма	Mikroprogramm
source program	исходная программа	Quellprogramm
user program	программа пользователя	Anwenderprogramm
problem oriented language	алгоритмический язык	problemorientierte Sprache
source language	входной язык	Quellensprache
programming language	язык программирования	Programmiersprache
assembly language	язык ассемблера	Assemblersprache
machine language	машинный язык	Maschinensprache
microprogrammability	управляемый микропрограммно	Mikroprogrammierbarkeit
pass	проход программы	Programmablauf
nesting	вложение программ	Schachtelung
interrupt	прерывание	Programmunterbrechung
interrupt-request	запрос на прерывание, ситуация прерывания	Unterbrechungsanforderung
code	код	Code, Kode
encode	кодировать	verschlüsseln
mnemonic code	мнемонический код	mnemonischer Code
data	данные	Daten
binary digit, bit	бит	binäre Informationseinheit, Bit
word length	длина слова	Wortlänge
format	формат	Format
operand	операнд	Operand
operation	операция	Operation
instruction	команда	Befehl, Instruktion
instruction set	список команд	Befehlsvorrat
data processing	обработка данных	Datenverarbeitung
multiprocessing system	мультипроцессорная система	Multiprozessorsystem
host-computer	ЭВМ для трансляций, отладки, сборки программ и моделирования микропроцессоров	Wirtsrechner

time-sharing	прерывание времени	Zeitschachtelung
handshaking	режим утверждения	Quittungsbetrieb
real time processing	обработка в реальном масштабе времени	Echtzeitbetrieb
computer development system	вычислительная система на базе микрокомпьютеров для разработки математического обеспечения и испытания технических средств с возможностью непосредственного диалога	Entwicklungssystem
operating system	операционная система	Betriebssystem
loader	программа загрузки, загрузчик	Leder
editor	программа-редактор	Editor
assembler	ассемблер	Assembler
cross assembler	кросс-ассемблер	Cross-Assembler
resident assembler	автоассемблер	Resident-Assembler
compiler	интерпретатор, транслятор	Compiler
cross-support	вспомогательное средство для имитации микрокомпьютеров	Cross-Unterstützung
debugging	отладка программы на входном или символическом языке	Fehlersuche und -beseitigung
error correction EC	корректура недостатков	Fehlerkorrektur
error detection ED	познание недостатков	Fehlererkennung
monitor	монитор	Monitor
simulation	моделирование	Simulation
emulation	эмуляция	Emulation
incircuit emulator	эмулятор внешних схем	Schaltkreisemulator
one word instruction	команда из одного слова	Ein-Wort-Befehl
multiword instruction	команда из нескольких слов	Mehrwortbefehl
no-operation instruction NOOP	пустая операция	Leerbefehl
machine instruction	машинная команда	Maschinenbefehl
microinstruction	микрокоманда, МК	Mikrobefehl
cycle time	время цикла	Zykluszeit
access	обращение	Zugriff

access time	время обращения	Zugriffszeit
throughput	производительность	Durchsatz
read time	время выборки	Lesezeit
write time	время записи	Schreibzeit
execution time	время выполнения	Ausführungszeit
address	адрес	Adresse
addressing modes	способы адресаций	Adressierungsarten
addressing	адресация	Adressierung
direct addressing	прямая адресация	direkte Adressierung
relative addressing	относительная адресация	relative Adressierung
immediate addressing	индексная адресация	unmittelbare Adressierung
indexing	индицировать	indexieren, indizieren
label	клеймо	Marke, Zeichen
loop	бант	Schleife
jump	переход	Sprung
conditional jump	условний переход	bedingter Sprung
nessecary jump	безусловный переход	unbedingter Sprung
jump conditions	условия перехода	Sprungbedingungen
branching	разветвляться	verzweigen
error	недостаток	Fehler
masking	маскирование	Maskierung
erase	стирать	löschen
accumulator, A	аккумулятор, А	Akkumulator, A
temporary storage	временной регистр, ВР	temporäres Register
flag	триггер признака	Bedingungs-Flip-Flop
flag register	флажковый регистр	Flagregister
indexregister, IR	индексный регистр, ИР	Indexregister, IR
decoder	дешифратор, логика преобразования	Dekoder
instruction register	регистр команд, РК	Befehlsregister
instruction counter	счётчик команд	Befehlszähler
programcounter, PC	программный счётчик	Programmzähler
stack	стек, стековая память	Stapelspeicher, Kellerspeicher
stack pointer	указатель стека, УС	Stapelzeiger
compatible	совместимый	kompatibel

parallel operation	параллельная операция	parallele Arbeitsweise
serial "	последовательная операция	serielle "
microcomputer, MC	микрокомпьютер, МК	Mikrorechner, MR
three-state register	регистр с тремя состояниями	3-Zustandsregister
digital computer	цифровая вычислительная машина, ЦВМ	Digitalrechner
large scale integration, LSI	большая интегральная схема, БИС	hochintegrierter Schaltkreis, LSI
storage, store, memory	запоминающее устройство, ЗУ, накопитель	Speicher
storage capacity	информационная емкость	Speicherkapazität
storage architecture	организация накопителя	Speicherorganisation
internal storage	внутреннее ЗУ	interner Speicher
external storage	внешнее ЗУ	externer Speicher
data storage	накопитель данных	Datenspeicher
program storage	программный накопитель	Programmspeicher
static memory	ЗУ статического типа	statisches Speicherelement
dynamic memory	ЗУ динамического типа	dynamisches Speicherelement
refresh	регенерация	Auffrischen
volatile	не сохраняющий информацию при снятии напряжения	flüchtig
random access memory RAM	ЗУ с произвольным порядком выборки, оперативное ЗУ, ОЗУ	Speicher mit wahlfreiem Zugriff, Operationsspeicher
read only memory ROM	постоянное запоминающее устройство, ПЗУ	Nur-Lese-Speicher Festwertspeicher
electrically alterable read only memory EA ROM	электрически программируемое ПЗУ, ППЗУ	elektrisch umprogrammierbarer Festwertspeicher
erasable programmable read only memory E PROM (REPROM)	перепрограммируемое ПЗУ со стиранием информации	mit UV-Licht löschbarer und elektrisch programmierbarer Festwertspeicher
clear	затушить	löschen EPROM

programming logic array, PLA	программируемое логическое устройство, ПЛУ	programmierbare logische Einheit, PLA
direct memory access, DMA	канал прямого доступа к памяти	direkter Speicherzugriff, DMA
additional logic	дополнительная логика	Zusatzlogik
modem	модем	Modulator + Demodulat.
terminal	периферийное устройство	Datenendgerät
key-board	клавишный пульт	Tastatur
teletype, TTY	стартстопный телеграфный аппарат, СТА	Fernschreiber
floppy disk	дисковый накопитель данных	Datenspeichergerät mit Folienspeicher
cathode ray tube-terminal, CRT-terminal	терминал с дисплеем, электронно-лучевая трубка, ЭЛТ	Datensichtstation
cartridge	кассета для магнитной ленты	Magnetbandkassette
kit	ставной модуль	Bausatz

8. Erklärungen von Begriffen der Mikrorechentechnik

- Mikroprozessor:
  Zentraleinheit eines Mikrocomputers, enthaltend Steuerwerk und Rechenwerk, evtl. Speicherwerk, meistens auf einem Halbleiterchip.
- Takt:
  Bei "Synchronmaschinen" erfolgen die Operationen in einem festgelegten Zeitraster, dem Takt.
- Rechenwerk:
  Teile der Zentraleinheit, in denen arithmetische und logische Operationen vorgenommen werden.
- Steuerwerk:
  Teile der Zentraleinheit, die die Ausführung sämtlicher Befehle veranlaßt und kontrolliert.
- Register:
  Schneller, kleiner Zwischenspeicher, meist in der CPU, z. B. Akkumulator, Indexregister, Pufferregister usw.
- Bus:
  Datensammelschiene, an die mehrere Einheiten gleichzeitig angeschlossen sind, die durch Adressierung aufgerufen werden.
- Datenbus:
  Bus zur Übertragung der Daten. Die Anzahl der Leitungen ist gleich der Anzahl der Bit's pro Wort (typisch: 4, 8, 16).
- Adreßbus:
  Bus zur Übertragung von Adressen. Die Anzahl der Leitungen entspricht dem maximal adressierbaren Speicherbereich (typ. 16 Bit für 64K Speicherplätze).
- Steuerbus:
  Bus zur Übertragung von Steuer- und Kontrollsignalen (Sammelleitungen).

- Kanal:
  Eine Verbindung, über die Daten gesandt oder empfangen werden können (Tor).

- Puffer:
  Speicher zur kurzzeitigen Informationsspeicherung, z. B. zum Ausgleich unterschiedlicher Verarbeitungsgeschwindigkeiten miteinander arbeitender Einheiten.

- Eingabe-Ausgabe-Baustein:
  Realisiert Datenfluß vom oder zum Mikroprozessor zur oder von der Peripherie.

- Multiplexer:
  Realisiert das aufeinanderfolgende Übertragen mehrerer Signale auf einen einzigen Kanal.

- Schnittstelle:
  Elektronische Schaltung, die zwei Geräte oder Bausteine einander anpaßt (Interface).

- Arbeitsspeicher:
  Relativ schneller Speicher für Programm und Zwischenergebnisse.

- Akkumulator:
  Register mit der zusätzlichen Möglichkeit der binären Addition, Resultatregister.

- Temporäres Register:
  Hilfsregister bei ALU-Operationen, nicht durch Befehle ansprechbar.

- Bedingungs-Flip-Flop:
  Zeigt einen bestimmten erreichten Zustand nach einer ALU-Operation an, z. B. Übertrag.

- Indexregister:
  Register, dessen Inhalt vor oder während der Ausführung eines Befehls zum (oder vom) Adreßoperand addiert (oder subtrahiert) werden kann.

- Befehlsregister:
  Register, das den Befehl zum Zwecke der Ausführung speichert.

- Befehlszähler:
  Register, in dem die Speicheradresse des nächsten zu bearbeitenden Befehls steht, Programmzähler.
- Schachtelung:
  Verschachteln von Unterbrechungen bzw. mehrere ineinander verschachtelte Unterprogramme innerhalb des Hauptprogramms.
- Programmunterbrechung: (extern ausgelöste)
  Unterbrechung eines Programmes und Bearbeitung eines vorbereiteten Unterprogrammes, nach dessen Abarbeitung die Bearbeitung des unterbrochenen Programms fortgesetzt wird.
- Mnemonischer Code:
  Alphanumerische Abkürzungen für Befehle; maschinenspezifische Sprache, die in die Maschinensprache übersetzt werden muß; Kürzel.
- Wortlänge:
  Bitreihe, die als eine Einheit angesehen wird , z. B. 4, 8, 16 ... Bit.
- Format:
  Anordnung von Daten, Adressen oder Befehlen.
- Operand:
  Gegenstand einer Anweisung oder eines Befehls; ein Operand wird meistens durch den Adreßteil eines Befehls identifiziert.
- Operation:
  Aktion, die durch einen Rechnerbefehl festgelegt ist.
- Befehl:
  Anweisung an den Rechner zur Ausführung einer Operation; die Anweisung.
- Befehlsvorrat:
  Gesamtheit der Befehle, die ein Rechner "versteht"; bestimmt die Leistungsfähigkeit eines Mikrorechners
- Software:
  Umfaßt die vom Rechnerhersteller bereitgestellte Systemsoftware, die eine Programmentwicklung ermöglicht und vereinfacht und die Anwendersoftware, die zur Lösung eines speziellen Problems durch den Anwender zu erarbeiten ist.

- Programm:
  Befehlsfolge, die vorgesehen ist, um ein bestimmtes Ergebnis zu erzielen.

- Unterprogramm:
  Programm, das Teil eines anderen Programmes sein kann und im Verlauf eines Hauptprogrammes mehrfach durchlaufen wird, aber nur einmal gespeichert ist.

- Hauptprogramm:
  Eigentliches Programm, in dem Unterprogramme aufgerufen werden können.

- Mikroprogramm:
  Kein Programm eines Mikrorechners, sondern Maschinenoperationen, durch die Maschinenbefehle gebildet werden.

- Quellprogramm:
  Rechnerprogramm, das in der Quellensprache (Assemblersprache, höhere Sprache ...) geschrieben ist und in den Maschinencode übersetzt werden muß.

- Anwenderprogramm :
  Spezialprogramm, das ein Anwenderproblem behandelt.

- Problemorientierte Sprache:
  Rechnerunabhängige Sprache, die auf bestimmte Problemarten spezialisiert ist , z. B. COBOL (kaufmännische Probleme), ALGOL (mathematische Probleme).

- Quellensprache:
  Programmiersprache, die in die Maschinensprache übersetzt werden muß.

- Assemblersprache:
  Maschinennahe und maschinenspezifische Programmiersprache.

- Maschinensprache:
  Rechnerabhängige Sprache, die vom Rechner direkt verstanden wird, Bitmuster.

- Mikroprogrammierbarkeit:
  Eigenschaft eines Rechners, Befehle über Mikroprogramme zusammensetzen zu können.

- Multiprozessorsystem:
  Rechnersystem mit mehreren CPU's.

- Wirtsrechner:
  Klein- oder Großrechner, der mit Hilfe von Cross-Software die Erstellung und Testung von Mikrorechnerprogrammen ermöglicht.

- Entwicklungssystem:
  Rechnersystem und dazugehörige Systemsoftware zur Erstellung und Testung von Mikrorechnerprogrammen.

- Betriebssystem:
  Programmpaket, das die Bearbeitung von Programmen durch den Rechner ohne menschliche Hilfe ermöglicht.

- Lader:
  Hilfsprogramm eines Rechners zum Einlesen und Abspeichern von Programmen.

- Editor:
  Hilfsprogramm, das es ermöglicht, über ein Eingabegerät Zeichen innerhalb eines Datenblockes einzufügen oder zu entfernen.

- Assembler:
  Programm zur Übersetzung eines in der Assemblersprache geschriebenen Quellprogramms in den Maschinencode.

- Cross-Assembler:
  Assembler, der auf einem Großrechner lauffähig ist, diesen "kreuzt".

- Resident-Assembler:
  Assembler, der auf dem Mikrorechner selbst lauffähig ist, stationär gespeichert ist.

- Compiler:
  Programm, das ein in einer höheren Programmiersprache geschriebenes Programm in die Maschinen- oder Assemblersprache übersetzen kann.

- Monitor:
  Organisationsprogramm, dient im wesentlichen der Kommunikation des Menschen mit dem Mikrorechner; ist Bestandteil von Entwicklungssystemen.

- Rechner-Simulation:
  Darstellen funktioneller Eigenschaften eines physikalischen oder abstrakten Systems durch allgemeine Rechenprogramme.

- Rechner-Emulation:
  Nachbildung eines Systems durch ein anderes, so daß das nachgebildete System die gleichen Daten enthält, die gleichen Programme ausführt und die gleichen Ergebnisse erzielt wie das nachzubildende System (Datenbreite, Echtzeit).

- Incircuit - Emulator:
  System, welches einen Mikroprozessor funktionell, elektrisch und mechanisch nachbilden kann; die Verbindung wird mittels Stecker und Sockel erstellt.

- Durchsatz:
  Mittlere Anzahl von Operationen, die ein Rechner je Zeiteinheit leistet.

- Adressierungsarten:
  Art und Weise der Festlegung bzw. der Ermittlung der Adresse einer Speicherstelle.

- Direkte Adressierung:
  Die Adresse in einem Befehl weist unmittelbar auf die gewünschte Speicherzelle hin.

- Indizierte Adressierung:
  Die Adresse wird mittels des Inhaltes des Indexregisters vor oder während der Ausführung eines Befehls modifiziert.

- Relative Adressierung:
  Die Adresse wird mittels einer Zahl gebildet, die die Differenz zwischen der absoluten Adresse und der Basisadresse angibt.

- Unmittelbare Adressierung:
  Der zu adressierende Operand ist im Befehl mit enthalten.

- Indizieren:
  In Rechnern verwendete Methode der Adreßmodifizierung mittels eines Indexregisters.

- Marke:
  Zeichen zur Identifizierung einer Anweisung oder eines bestimmten Datenwortes in einem Computerprogramm.
- Schleife:
  Folge von Befehlen, die wiederholt durchgeführt wird, bis eine Abbruchbedingung erfüllt ist.
- Sprung:
  Abweichung von der normalen Befehlsfolge in einem Programm.
- Bedingter Sprung:
  Ein Sprung, der ausgeführt wird, wenn im Programmverlauf bestimmte Bedingungen erreicht sind.
- Unbedingter Sprung:
  Ein Sprung, der auf jeden Fall, unabhängig von Bedingungen, ausgeführt wird.
- Stapelspeicher:
  Register zur Speicherung von Informationen in der Weise, daß die zuletzt empfangenen Daten zuerst wieder ausgegeben werden.
- Stapelzeiger:
  Register, in dem die Stapelspeicheradresse gespeichert ist, die auf den zugängigen Speicherplatz des Stapelspeichers hinweist.
- Bidirektional:
  Übertragung von Daten auf einer Leitung kann in beide Richtungen erfolgen.
- Speicherkapazität:
  Maß für die Anzahl der Worte, die vom Speicher aufgenommen werden können.
- Datenspeicher:
  Speicher, in dem allgemeine Daten gespeichert sind (beim Mikrocomputer meist RAM, gelegentlich ROM).
- Programmspeicher:
  Speicher, in dem ausschließlich Programme gespeichert sind (beim Mikrocomputer meist ROM).

- RAM:
  Speicher, aus dem jede Information gelesen werden kann, wobei die Adresse willkürlich gewählt werden kann, außerdem können in diesen Speicher beliebige Informationen eingeschrieben werden.

- ROM:
  Halbleiterspeicher, der in der Fabrik mittels einer kundenspezifischen Metallisierungsmaske mit einem festen, nicht mehr änderbarem Programm programmiert worden ist.

- PROM:
  Halbleiterspeicher, mit festen Programmen, der nur gelesen werden kann und der vom Anwender elektrisch programmiert werden kann, der Speicherinhalt kann dann nicht mehr geändert werden.

- EPROM:
  Nur-Lese-Speicher, der elektrisch programmierbar und durch UV-Licht löschbar ist.

- EAROM:
  Nur-Lese-Speicher, der elektrisch löschbar und wieder programmierbar ist.

- Direkter Speicherzugriff:
  Dabei können periphere Geräte auf den Arbeitsspeicher zugreifen, ohne den Umweg über die CPU gehen zu müssen; während des DMA wird die CPU gesperrt; es lassen sich große Mengen von Daten ein- und ausgeben.

- Modulator + Demodulator (Modem):
  Gerät, das über nachrichtentechnische Einrichtungen übertragene Signale moduliert und demoduliert.

- Datenendgerät:
  Ort in einem System oder Kommunikationsnetzwerk, an dem Daten ein- oder ausgegeben werden können.

- Folienspeicher:
  Schnelles, billiges, externes Speichermedium mit wahlfreiem Zugriff, bei dem die Information auf einer rotierenden Magnetfolienscheibe gespeichert ist (Floppy disk).

9. Literaturverzeichnis

/1/ Steeger, O.:
Die Durchführung der Beschlüsse des IX. Parteitages der SED auf dem Gebiet der Elektrotechnik
6. ZK-Tagung der SED, 1977

/2/ Khambata, A. J.:
Einführung in die Mikroelektronik
VEB Verlag Technik Berlin 1966

/3/ Folberth, Bleker:
Grenzen der digitalen Halbleitertechnik
n t z 1977 H. 4

/4/ Köhler, E.:
Entwicklungsbestimmende Faktoren für die Halbleitertechnik und Mikroelektronik nach 1980
Soz. Rationalisierung 6 (1977) H. 7

/5/ Gabrecht, K.; Stein, K.-U.:
Möglichkeiten und Grenzen der Großintegration
Funktechnik 32 (1977) H. 6

/6/ Paul, R.:
Mikroelektronik - gestern, heute, morgen
Nachrichtentechnik-Elektronik 27 (1977) H. 8

/7/ Kühn, E.; Schmied, H.:
Integrierte Schaltkreise
VEB Verlag Technik, Berlin 1972

/8/ Möschwitzer, A.:
Elektronische Halbleiter-Bauelemente
Informationselektronik, VEB Verlag Technik, Berlin 1973

/ 9/ Teichmann, J.:
I^2L-Schaltungstechnik
rfe 26 (1977) H. 8

/10/ Trompter, H.:
CCD: Ladungsgekoppelte Bauelemente
Nachrichtentechnik-Elektronik 27 (1977) H. 6

/11/ Huse, H.:
Die I^2L-Technologie und ihre Anwendung
Elektronik 1976 H. 2

/12/ Fuche, H.:
7. Mikroelektronik-Kongreß
mar 20 (1977) H. 6

/13/ Landgraf-Dietz, D.:
Depletion-Transistoren für MOS-Logikschaltungen
Nachrichtentechnik-Elektronik 27 (1977) H. 8

/14/ Köhler, E.:
Zusammenhang zwischen Scheibendurchmesser, Chipfläche, Integrationsgrad, Ausbeute und Kostenanteil bei LSI-Schaltungen
Nachrichtentechnik-Elektronik 27 (1977) H. 8

/15/ Wallmark, J. T.:
Fundamental Physical Limitations in Integrated Electronic Sircuits
Solid State Devices 1975 No 25

/16/ Faggin, F.:
The Future of Microelectronics and Microcomputers
Weltkongreß Elektrotechnik 1977 Moskau, Tagungsbericht

/17/ Dirks, Ch.; Krinn, H.:
Microcomputer
Berliner Union, Stuttgart 1976

/18/ Mikroprozessoren
Elektronik-Sonderausgabe, Franzis-Verlag München 1977

/19/ Blomeyer-Bartenstein:
Ein neues Mikrocomputer-Konzept
Elektronik 22 (1976) Nr. 11

/20/ Mikrocomputer
Elektroniker-Sonderausgabe 1975 Fachschriftenverlag,
Aargauer Tagblatt

/21/ Gößler, R.:
Ein/Ausgabe-Bausteine für Mikroprozessoren
Elektronik 1976 H.

/22/ Roth, M:
AD-und DA-Wandler
in Philippow, Taschenbuch der Elektrotechnik in 6 Bänden, Bd. 3
VEB Verlag Technik Berlin

/23/ Smolow, W. B.:
Mikroelektronische AD- und DA-Wandler (russ.)
Isd. Energija, Leningrad 1976

/24/ Betriebsdokumentation des Mikrorechnersystems K 1510
Dokumentation des VEB Komb. Robotron Dresden, 1977

/25/ Roth, M.; Schweigel, E.; Grubba, K.; Kahlert, H.:
Generationswechsel in der analogen Automatisierungs-Gerätetechnik
21. Int. Wiss. Koll. TH Ilmenau 1976

/26/ Intel MCS Microcomputer Set
Users Manual Fa. Intel (USA) 1973

/27/ Stranzky, R.:
Anwendungsuntersuchungen hochintegrierter Schaltkreise
Dipl.-Arb. TH Ilmenau, Sektion TBK 1975

/28/ Mierau, W.; Lindner, S.:
Technik der Mikrorechner
rfe 26 (1977) H. 17 fortlaufend

/29/ Kretzschmar, J. G.:
Gestaltung des Ein-Ausgabesystems von Mikrorechnern
Soz. Rationalisierung 6 (1977) H. 7

/30/ Reiher, Th.:
Ein Mikroprogrammaufbereitungssystem auf der Basis
des U 808
Soz. Rationalisierung 6 (1977) H. 7

/31/ Programmentwicklungssystem für den Mikroprozessor U 808
Informationsblatt der TH KMSt, Sektion Automatisierungs-
technik 1976

/32/ Werner, D.:
Programmieren von Mikrorechnern
Rechentechnik, Datenverarbeitung 6/1976

/33/ Werner, D.:
Besonderheiten der Programmierung von Mikrorechnern
Nachrichtentechnik-Elektronik 27 (1977) H. 2

/34/ Koch, G. R.:
Stand und Trends der Programmierung von Mikroprozessoren
Elektronik 1977 H. 1

/35/ Keller, D.; Weise, K. D.:
Mikroprozessoren
Wiss. Inf. und Berichte Nr. 5, 1977
Komb. Robotron ZfT Dresden

/36/ SME 800 - Firmenunterlagen
Siemens-AG 1976

/37/ Joseifow, W.:
Programmierung für Mikroprozessoren
Dipl.-Arb. TH Ilmenau, Sektion TBK 1977

/38/ Z 80 - Entwicklungssystem
Firmenunterlagen Mostek, Wien 1977

/39/ Kriesel, W.:
Mikrorechner - neue Bausteine für die Automatisierung
die Technik 32. Jg. 1977, H. 5

/40/ Kriesel, W.:
Mikrorechnereinsatz in der Automatisierungstechnik
die Technik 32. Jg. 1977, H. 6

/41/ Fritzsch, W.; Meyer, G.:
Mikroprozessoren, Mikrorechner und Mikrorechnersysteme
Elektrie 1977/H. 4

/42/ Schmidt, G.:
Erfahrungen mit dem Einsatz von Mikroprozessoren bei
Entwurf und Realisierung von Steuer- und Regelgeräten
Tagungsbericht 21. IWK der TH Ilmenau 1976

/43/ Pillmann, W.; Zagler, W.:
Digitale Regelungen mit Mikroprozessoren

/44/ Birck, H.:
Ein digitaler Regler auf Mikrorechner-Basis
Elektronik 1976 H. 4

/45/ Liebich, W.:
Mikroprozessoren und Mikrorechner
in Philippow, Taschenbuch der Elektrotechnik in 6 Bänden.
Bd. 4 1978, Verlag Technik Berlin

/46/ TDC 2000, Dezentrales Regelsystem
Firmendokumentation Honeywell, Washington 1976

/47/ Fuchs, H.; Korner, E.:
Auswirkungen der Mikroelektronik auf die Automatisierungstechnik
Soz. Rationalisierung 6 (1977) H. 7

/48/ Töpfer, H.; Kriesel, W.; Fuchs, H.:
Automatisierungsgeräte/Mikroprozessoren
- Entwicklungstendenzen
WGMA-Tagung Nov. 1976

/49/ NN
Mikroprozessor-Schaltkreise 8080
Firmendokumentation Siemens, München 1977

/50/ Abraham, W.; Pfeiffer, V.:
Entwurf spezieller Prozessoren zur Realisierung digitaler Steueralgorithmen
Vortrag 7. Arbeitstagung Entwurf von Schaltsystemen
ZKI Dresden, März 1978

/51/ N. N.:
Programmierbare Steuerungen
VDI-Bericht Nr. 163, VDI-Verlag Düsseldorf

/52/ NN
Darstellung industrieller Steuerungen mit Hilfe von Steuergraphen
ZKI-Information 2/1977, ZKI Dresden

/53/ Abraham, W.; Pfeiffer, V.:
Rechnerstrukturen zur Realisierung digitaler Steuerungen
Z. elektrische Inform. - Energietechnik, Leipzig 7(1977)
S. 400 - 403

/54/ Jetter, H.:
Programmierbare Steuerungen
JSW 15, Berichte aus dem Institut für Steuerungstechnik der Werkzeugmaschinen und Fertigungseinrichtung der Universität Stuttgart, Springer Verlag 1976

/55/ Fritzsch, W.:
Anlagenstrukturen und Steuerungskonzepte mit Mikroprozeß-rechnern
msr 20 (1970) H. 12

/56/ Katzarow, St.:
Mikroprozessorgesteuerter Lehrautomat auf der Grundlage elektronischer Module
Dissertation TH Ilmenau, TBK 1977

/57/ Schneider, H. G. (Hsg.):
Entwurf mikroelektronischer Schaltungen
Akademie-Verlag, Berlin 1976

/58/ Dawidczak, S.; Weise, K. D.:
Mikrorechnersystem robotron K 1510
msr 20 (1977) H. 12

/59/ NN:
Mikroprozessoren, Mikrorechner
Literaturinformation des VEB Kombinat Robotron (ZfT)
Dresden '77

/60/ Diesser, K.-H.; Möschwitzer, A.:
Elektronische Parameter von MOS-Transistoren mit kleinen Abmessungen
Nachrichtentechnik-Elektronik 28 (1978) H. 1

/61/ Albrecht, W.; Gross, W.:
Fortschritte der bipolaren digitalen Schaltungstechnik
rfe 26 (1977) H. 23/24

/62/ Roth, M.; Geidel, K. D.:
Mikroprozessor-AD- und-DA-Wandler
Multiplexer und Datenanpaßsysteme
mer 21 (1978) voraus. H. 11

/63/ NN:
Mikrorechnersystem K 1510 - Systembeschreibung
Firmendokumentation 1977, VEB Kombinat Robotron, ZfT
Dresden

/64/ H.-P. Blomeyer - Bartenstein:
Mikro Computer Technik
Ing. W. Hofacker GmbH Verlag München, 1977

/65/ Rhein, D.:
Eigenschaften und Anwendungsgebiete mikroelektronischer
Speicher
KDT-Tagung Suhl, Nov. 1977, Mikroelektronik, Bd. 45

/66/ Nicoud, J. D.:
Microprocessor Zilog Z 80: Hardware and Software
Micro Scope II (1977) N. 9

/67/ Friebel, W.; Roloff, H.; Schiller, H.; Vogt, H.:
Programmierung von Mikroprozessoren
RA 182, VEB Verlag Technik Berlin 1978

/68/ Kanton, D.:
Mikroprozessorsysteme
RA 183, VEB Verlag Technik Berlin 1978

/69/ Schneider, H. G. (Hrsg.):
Entwurf mikroelektronischer Schaltungen
Akademie-Verlag, Berlin 1976

/70/ Siebert, H. P.:
Das 8-bit-Mikrocomputer-Konzept M 6800
Elektronik 1974, H. 10

/71/ NN:
Applikation Mikrorechner
Kombinat VEB Funkwerk Erfurt 1977

/72/ Baranowski; Stryjski:
Mikroprogramowanie
WSI, Zielona Gora 1976

/73/ - /89/ russischsprachige Literatur

/90/ Korner, E.:
Anwendung von Mikroprozessoren in der Prozeßsteuerung
Rationalisierung durch Elektrotechnik/Elektronik
KDT-Tagung Suhl 1977, Tagungsband 44

/91/ Höhne, M.:
Der Mikroprozessor U 808 D
rfe 26 (1977) H. 5

/92/ NN:
RFT-Information Zentrale Verarbeitungseinheit U 808 D
Firmendokumentation Komb. FW Erfurt 1977

/93/ Cimander, W.; Mierau, W.:
Integrierte Schaltungstechnik aus automatentheoretischer Sicht
Fernmeldetechnik 17 (1977) H. 4

/94/ Cimander, W.; Winter, W.:
Mikroprozessoren in der Fernsprechvermittlungstechnik
Fernmeldetechnik 18 (1978) H. 1

/95/ Zaremba, J.:
Mikroprozessoren und Mikrorechner
Fernmeldetechnik 18(1978) H. 1 fortlaufend

/96/ Meiling, W.:
Einige Tendenzen in der Entwicklung und Anwendung von Mikroprozessoren und Mikrorechnern
Nachrichtentechnik 27(1977) H. 1

/97/ Eckhardt, D.:
Gerätetechnik der Mikroprozeßrechner - Schaltungstechnik hochintegrierter Schaltkreise und Mikroprozessoren
Elektric 31(1977) H. 9

/98/ NN:
MCS 85 Handbook
Intel-Firmenschrift 1977

/99/ NN:
Mikrocomputer 77/78 - Handbuch
Zilog/Kontron - Firmenschrift 1977

/100/ Roth, M.; Zink, H.:
Konzeption, Aufbau und Wirkungsweise eines Mehrkanal-Mikroprozessor-Reglers
Vortrag zur Tagung TH Magdeburg, April 1978

/101/ NN:
Mikrorechnersystem K 1520 - Systembeschreibung
Firmendokumentation 1978, VEB Kombinat Robotron

/73/ Якубайтис, Э.А.; Баумс, А.К.:
Достижение и проблемы микропроцессорны средств
Академия наук Латвийской ССР
2-ое Всесоюзное совещание, изд. "Зинатие", Рига 1977

/74/ Елерс:
"Электроника С 5•01 и С 5•11"
СССР Москва, Елорг 1977

/75/ Розенфельд, Д.Ха:
Разработка программного обеспечения для микропроцессоров 8080 А.
"Электроника", 1976 № 20, ст. 36-42

/76/ Золотовский, В.Е.:
Цифровая интегрирующая структура для моделирования уравнений в частных поизводных.
"Автоматика и вычислительная техника", 1976 № 2, ст. 86-91

/77/ Вальков, В.М.; Ильюшенко, Ю.М.: Цифровые интегральные схемы, микропроцессоры и микро-ЭВМ.И.
"Советское радио", 1977

/78/ N.N.
"$И^2$-Л-микропроцессор"
"Электроника", 1975, №3

/79/ N.N.
Микропроцессоры.
"Электроника", 1976, № 8.

/80/ Смолов, В.Б.:
Микроэлектронные цифро-аналоговые и аналого-цифровые преобразователи информации Л.,
"Энергия", 1976

/81/ Баумс, А.К.; Гуртовцев, А.Л.; Зазнова, Н.Е.:
Микропроцессорные средства.
Академия наук Латвийской ССР
издательство "Зинатие", Рига 1977

/82/ Альтман:
Перспектива применения однокристальных микропроцессоров.
"Электроника", 1974, т. 47, № 8

/83/ Быстродействующий $И^2Л$ микропроцессор.
"Электроника", 1974, т. 47, № 26

/84/ Давидов:
Микропроцессоры и сокращение производственных затрат.
"Электроника", 1974, т.47, № 14

/85/ Замори, З.; Ососков, Г.А.; Хорват, А.:
О вычислительной мощности микропроцессоров
"Автометрия", 1976, № 5

/86/ $И^2Л$-схемы: современное состояние и перспективы.
"Электроника", 1976, т. 49, № 6

/87/ Микропроцессор для управления производственными процессами.
"Электроника", 1974, т. 47, № 13

/88/ Микропроцессоры.
"Электроника", 1976, т. 49, № 8

/89/ Булей, Г.:
Микропрограммирование.
Москва 1973.

Impressum: 2. erweiterte Auflage 1978
Herausgeber: Wiss. Zeitschrift und
KDT Hochschulsektion TH Ilmenau C DDR 1978
Druckgenehmigung: S 459/78
Redaktionelle Bearbeitung und Gestaltung: M. Roth, N. Hirt
Druck: Stein- und Offset-Druckerei Gehren
EVP: 12,-- M

Der Nachdruck des hier publizierten Beitrages bedarf der Genehmigung durch die Redaktion und ist nur mit Quellenangabe gestattet. Anfragen werden direkt an die Redaktion erbeten.